

Tecnologías de Circuitos Integrados Digitales

Introducción

- Cuando diseñamos circuitos digitales **asumimos** que las salidas de los componentes adoptan dos estados lógicos: “1” y “0” (o “H” y “L”)
- Esto simplifica el trabajo, reduce o elimina cálculos y permite aplicar herramientas como mapas de Karnaugh, máquinas de estado, álgebra de Boole, etc.
- Al armar el circuito puede ocurrir, sin embargo, que **no funciona** como se esperaba.

Para un diseño correcto, necesitamos conocer y aplicar algunos aspectos del comportamiento real de los circuitos integrados digitales.

Índice

- Características estáticas.
 - Tensión (V_o , V_i , NM)
 - Corriente
 - V_o en función de I_o
 - Fan.out
- Características dinámicas
 - Tiempo de propagación
 - Tiempo de transición
- Familias lógicas
- Salidas
 - Totem-pole
 - Open collector / open drain
 - Three-state
- Entradas
 - CMOS
 - TTL
 - Schmitt-Trigger
- Compuertas de transmisión
- Consumo

Características estáticas

¿Cómo se representa un “0” o un “1”?

- Lo que el fabricante puede garantizar es un conjunto de características mínimas y máximas.

V_{OH} (mínima)

- Es la mínima tensión de salida en estado alto (“H” / “1”) garantizada por el fabricante, para determinado(s) valore(s) de corriente.

V_{OL} (máxima)

- Es la máxima tensión de salida en estado bajo (“L” / “0”) garantizada por el fabricante, para determinado(s) valore(s) de corriente.

V_{IL} (máxima)

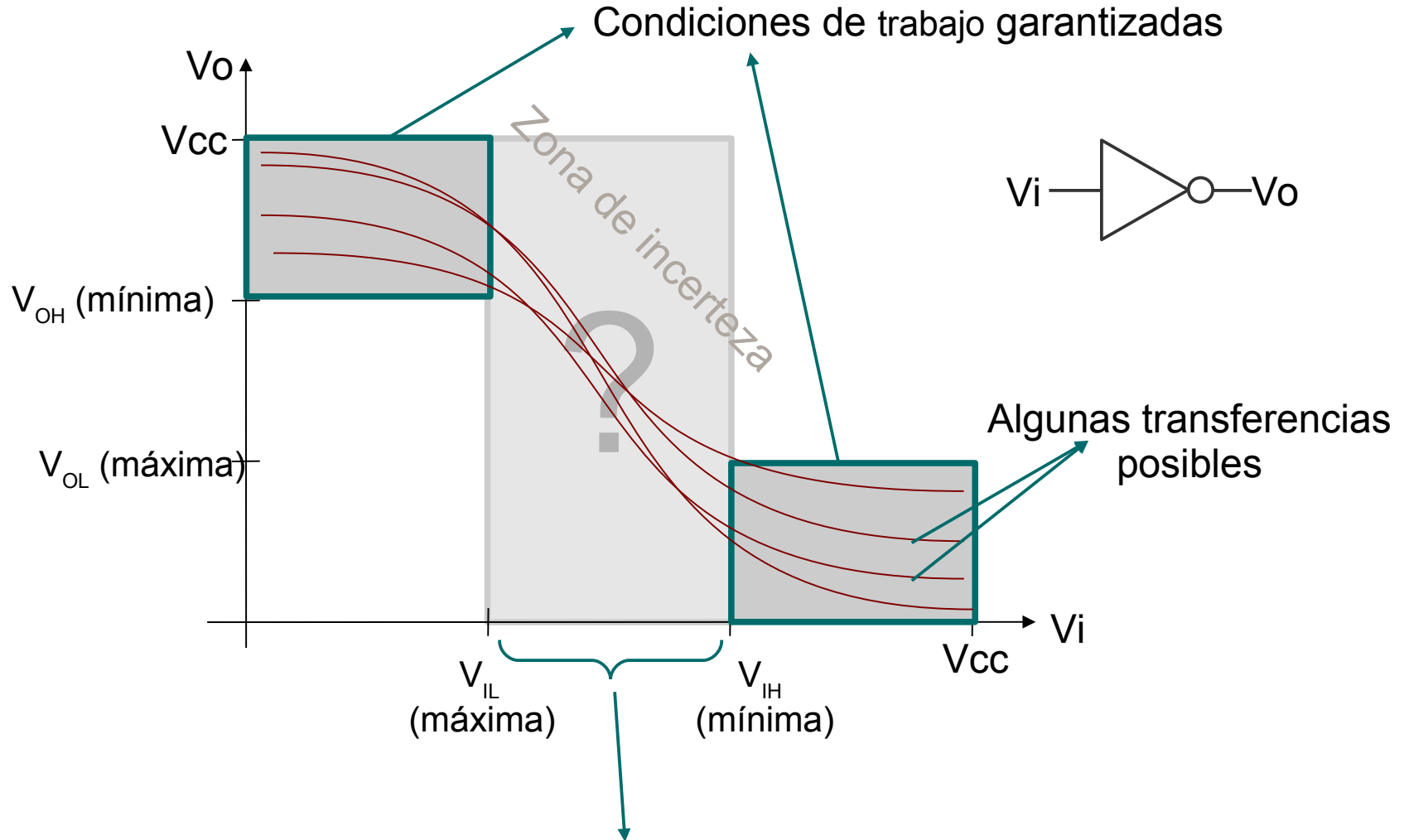
- Es la tensión de entrada hasta la cual el estado lógico se reconoce como estado bajo (“L” / “0”)

V_{IH} (mínima)

- Es la tensión de entrada por encima de la cual el estado lógico se reconoce como estado alto (“H” / “1”)

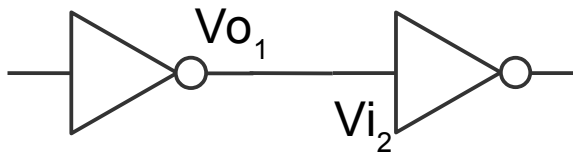
¿Cómo se representa un “0” o un “1”?

- El comportamiento garantizado de un inversor **real** es:



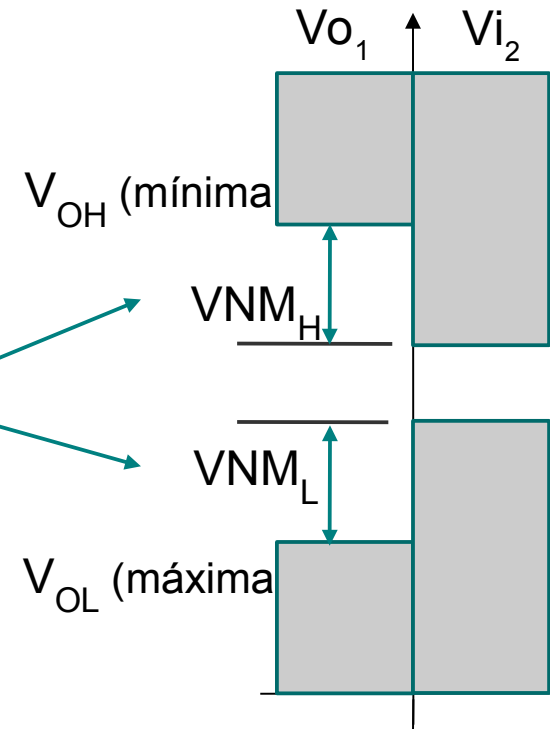
En este rango de valores de entrada **no se garantiza** ningún valor de salida. “Zona de incerteza”

¿Cómo se representa un “0” o un “1”?



Margen de ruido, inmunidad al ruido:

- Cuánto puede variar una salida sin que la entrada a la que está conectada deje de reconocer el nivel lógico correspondiente.
- Se lo expresa como VNM (NM de Noise Margin)



$$VNM_H = V_{OH} \text{ (mínima)} - V_{IH} \text{ (mínima)}$$

$$VNM_L = V_{IL} \text{ (máxima)} - V_{OL} \text{ (máxima)}$$

Notar que, para que la conexión entre una salida y una entrada sea correcta:

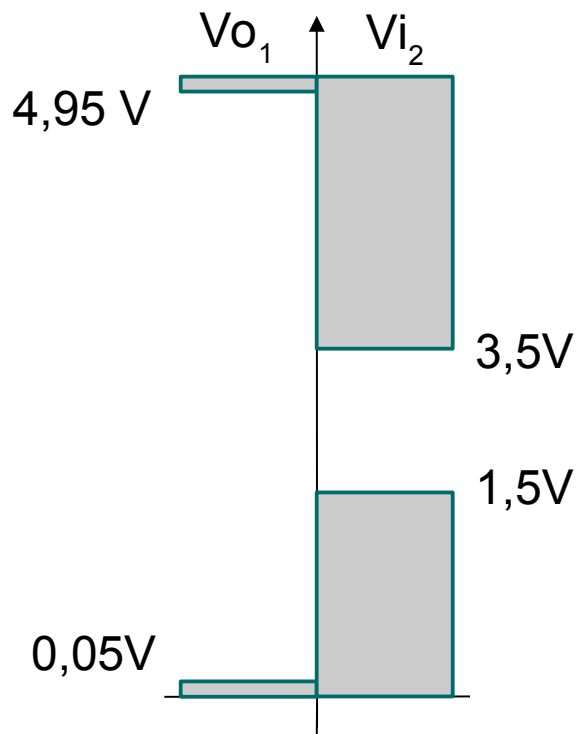
$$VNM_H > 0$$

$$VNM_L > 0$$

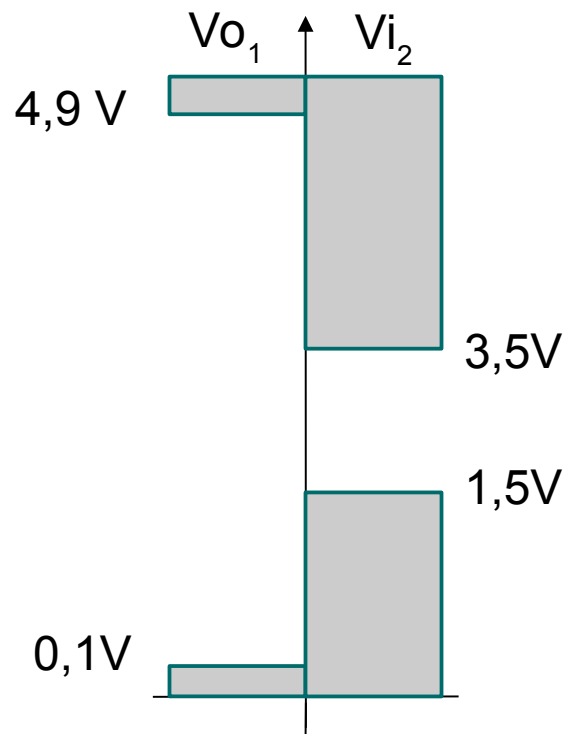
¿Cómo se representa un “0” o un “1”?

Valores de V_i y V_o máximos y mínimos para algunos modelos y condiciones

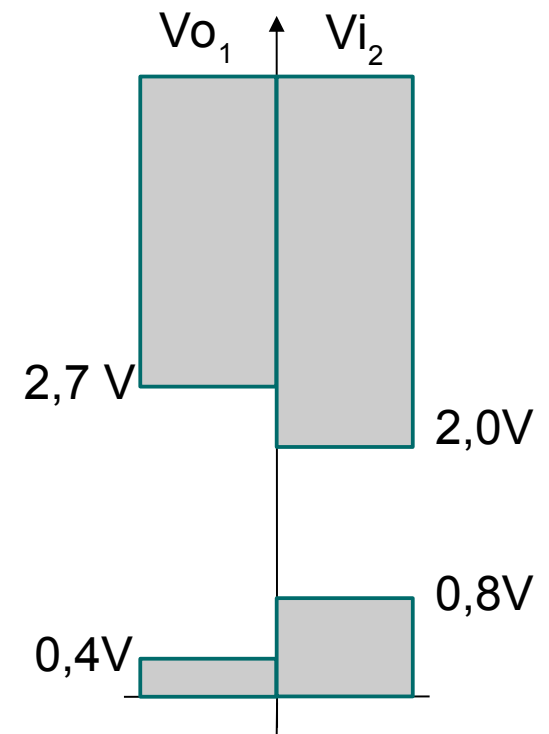
4000B
($V_{dd} = 5V$, $|I_o| < 1\mu A$)



74HC
($V_{dd} = 5V$, $|I_o| < 20\mu A$)

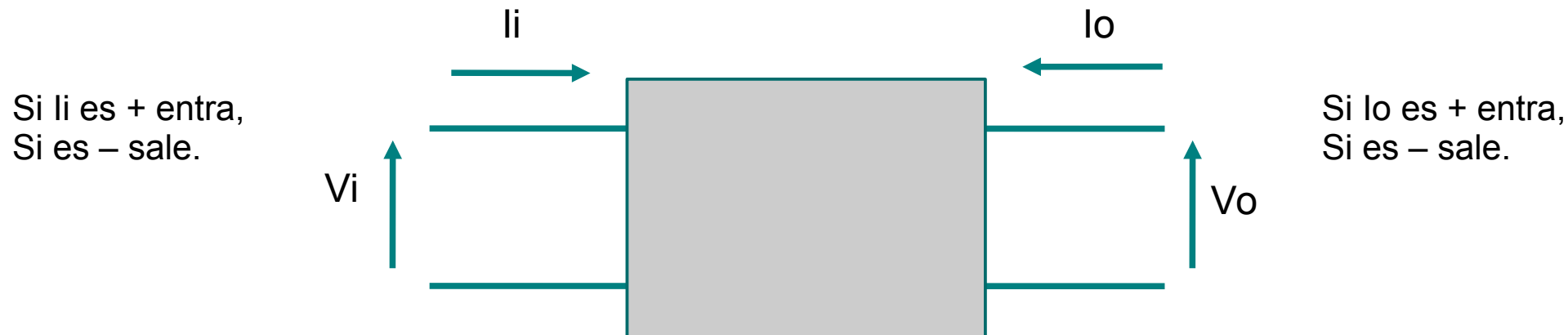


74LS
($V_{cc} = 5V$, $I_{OH} > -0,4\text{ mA}$,
 $I_{OL} < 4\text{ mA}$)



Corrientes de entrada y salida

En manuales, libros y hojas de datos se especifican las corrientes de los circuitos integrados digitales de acuerdo a la siguiente convención:



Ejemplo - 4011B:

- Las corrientes de salida en estado alto son negativas, esto indica que **salen** del integrado.
- Las de salida en estado bajo son positivas, por lo tanto **entran**.

Symbol	Parameter	Conditions	V_{DD}	$T_{amb} = -40\text{ }^{\circ}\text{C}$		$T_{amb} = +25\text{ }^{\circ}\text{C}$		$T_{amb} = +85\text{ }^{\circ}\text{C}$		$T_{amb} = +125\text{ }^{\circ}\text{C}$		Unit
				Min	Max	Min	Max	Min	Max	Min	Max	
I_{OH}	HIGH-level output current	$V_O = 2.5\text{ V}$	5 V	-	-1.7	-	-1.4	-	-1.1	-	-1.1	mA
		$V_O = 4.6\text{ V}$	5 V	-	-0.64	-	-0.5	-	-0.36	-	-0.36	mA
		$V_O = 9.5\text{ V}$	10 V	-	-1.6	-	-1.3	-	-0.9	-	-0.9	mA

(Fuente: NXP)

En un circuito ideal $I_i = 0$ y la I_o posible es ilimitada

Corrientes de entrada y salida

Corrientes de entrada:

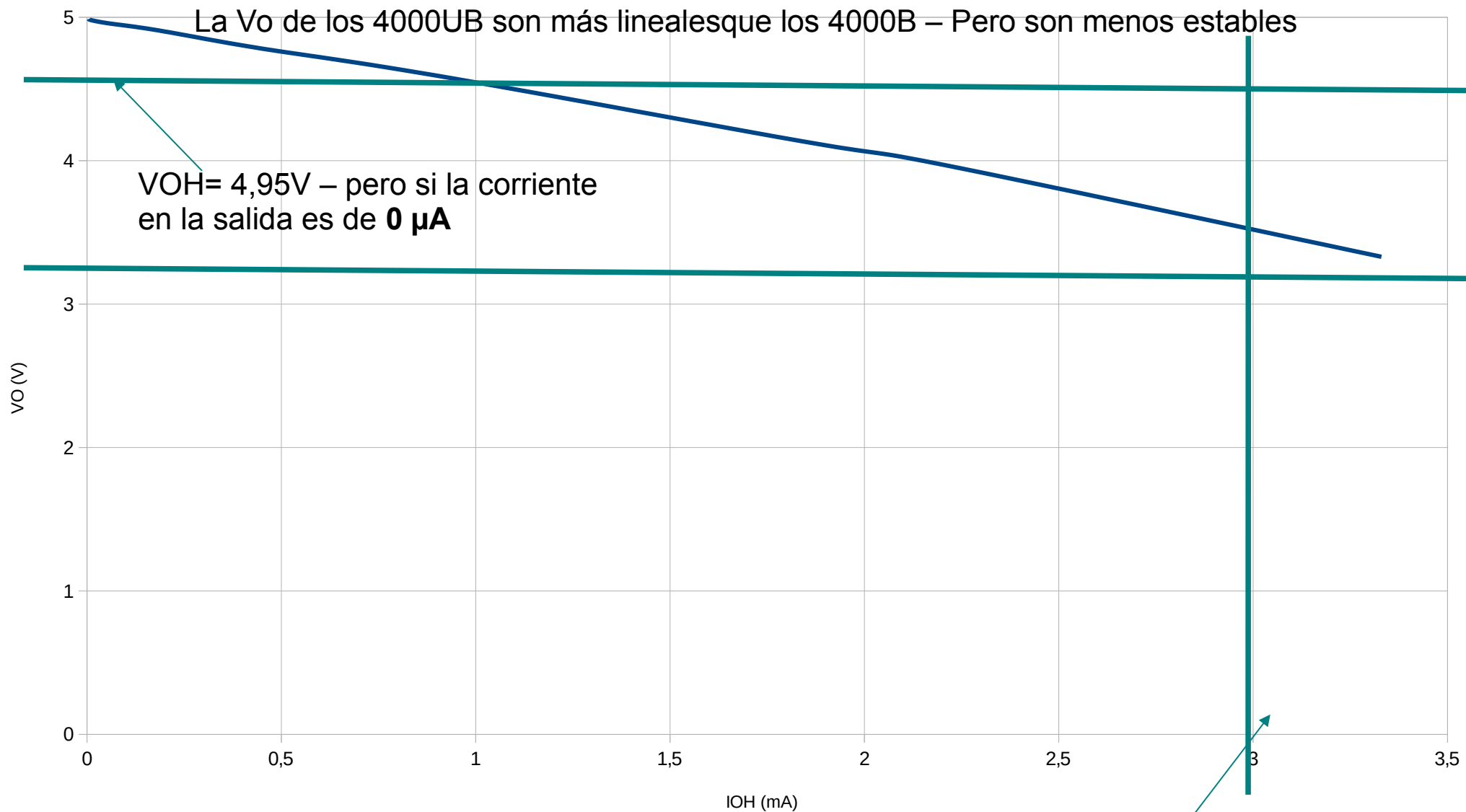
- Son las corrientes que entran o salen de una entrada cuando se aplica un nivel de tensión alto o bajo respectivamente. Se especifican los valores máximos.

Corrientes de salida:

- Corrientes que entran o salen de una salida cuando esta se encuentra en estado bajo o alto, respectivamente.
- A las variaciones de estas corrientes corresponden cambios en las tensiones de salida; se especifican mediante gráficos y/o tablas que relacionan determinada corriente con determinada tensión.
- Si se necesita mantener estados lógicos válidos hay que cuidar que estas corrientes se mantengan dentro del rango especificado.
- Si no se presta atención a las condiciones dadas por el fabricante y se exceden estas corrientes el integrado se deteriora.
- En algunos manuales se especifica la corriente de cortocircuito (Cuánta corriente por cuánto tiempo soporta una salida)

Corrientes y tensiones a la salida

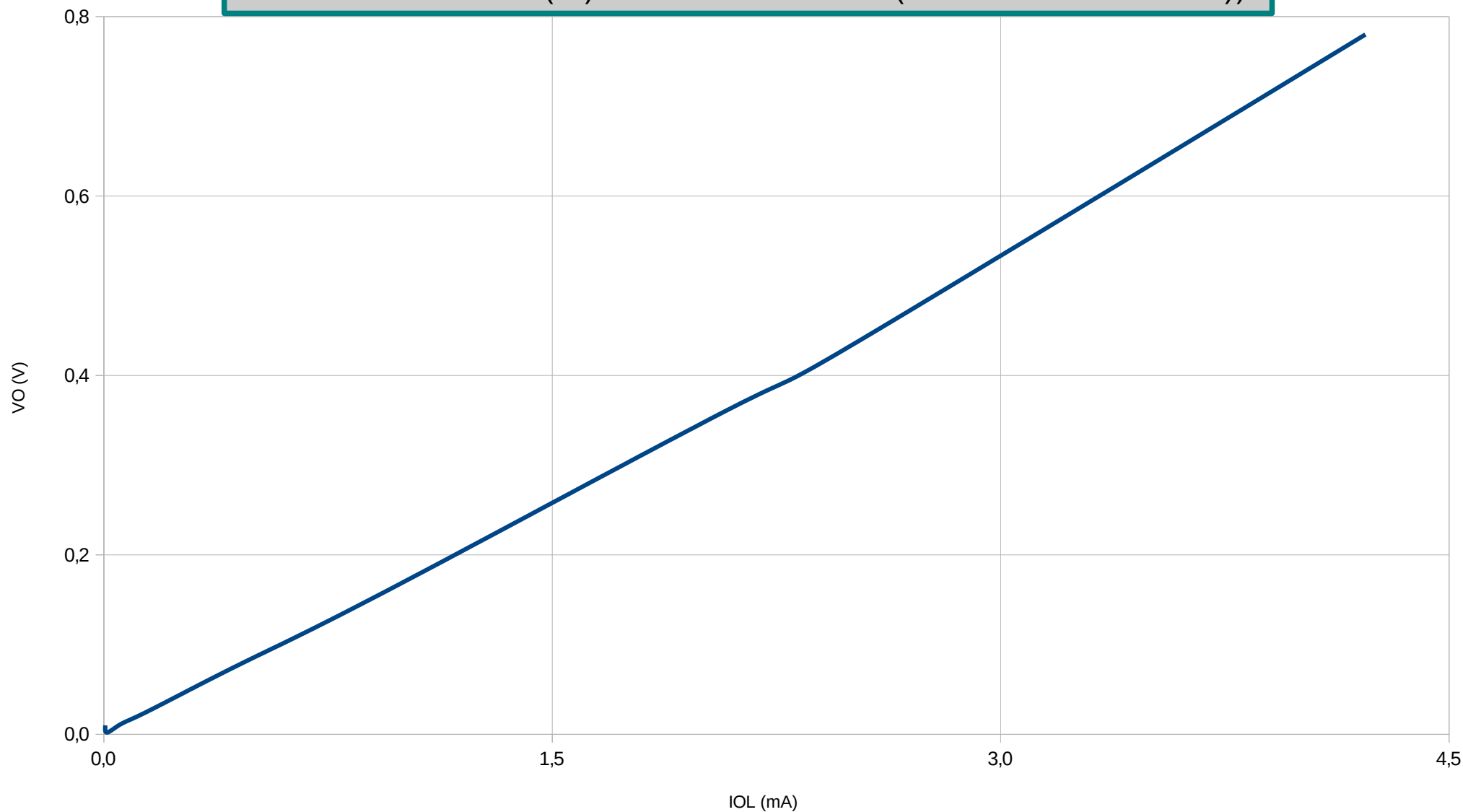
Variación de $V_o = f(I_o)$ en estado **ALTO** - (4069UB – VDD = 5V)



- Para valores de I_o mayores de I_o , la $V_o < V_{IH}$ (mínima)
- ¿Se puede utilizar? Sí, pero **no para conectar a entradas lógicas del mismo tipo.**

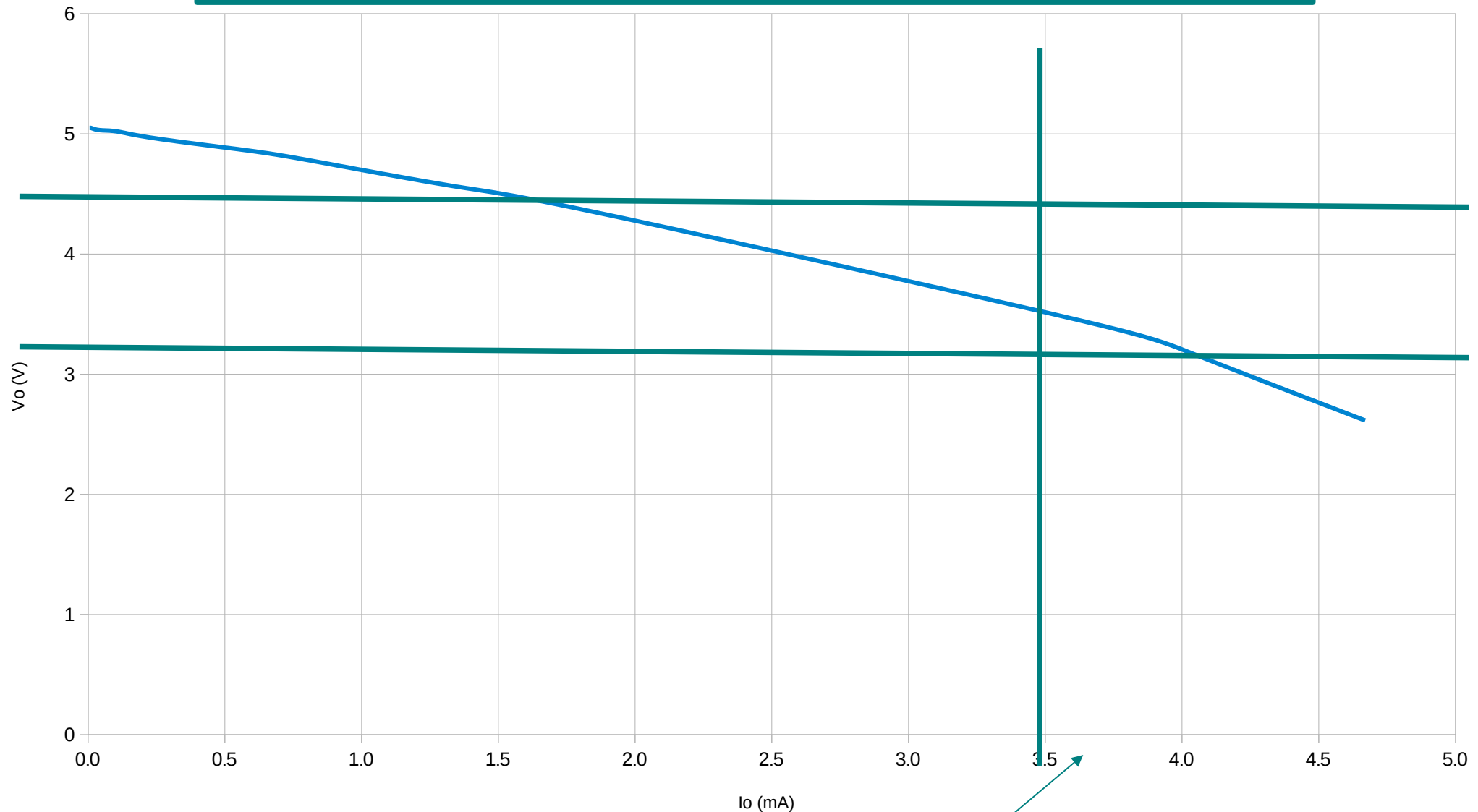
Corrientes y tensiones a la salida

Variación de $V_o = f(I_o)$ en estado **BAJO** - ($4069UB - VDD = 5V$)



Corrientes y tensiones a la salida

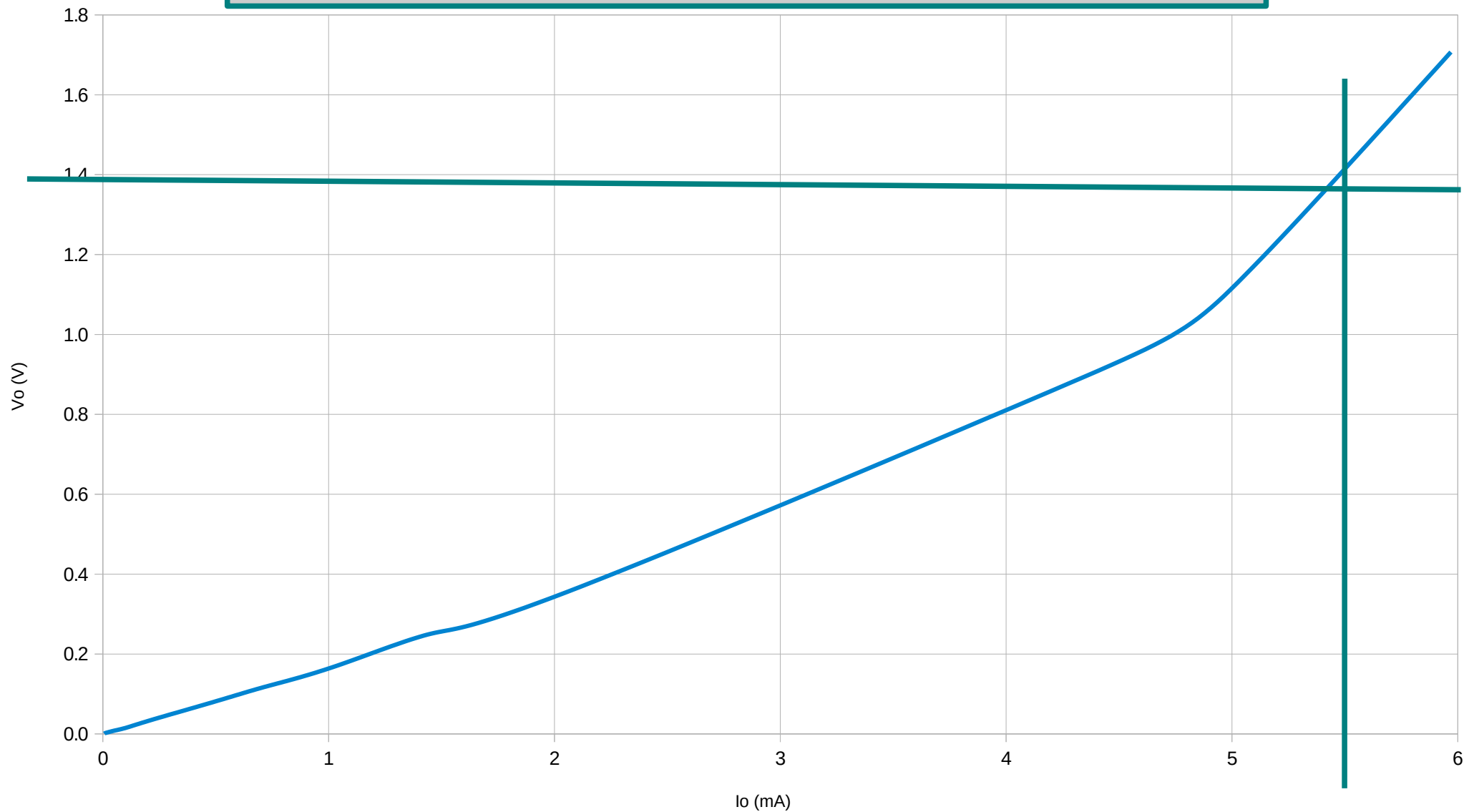
Variación de $V_o = f(I_o)$ en estado **ALTO** - (4011B – $V_{DD} = 5V$)



- Para valores de I_o mayores, la $V_o < V_{IH}(\text{mínima})$
- ¿Se puede utilizar? Sí, pero **no para conectar a entradas lógicas.**

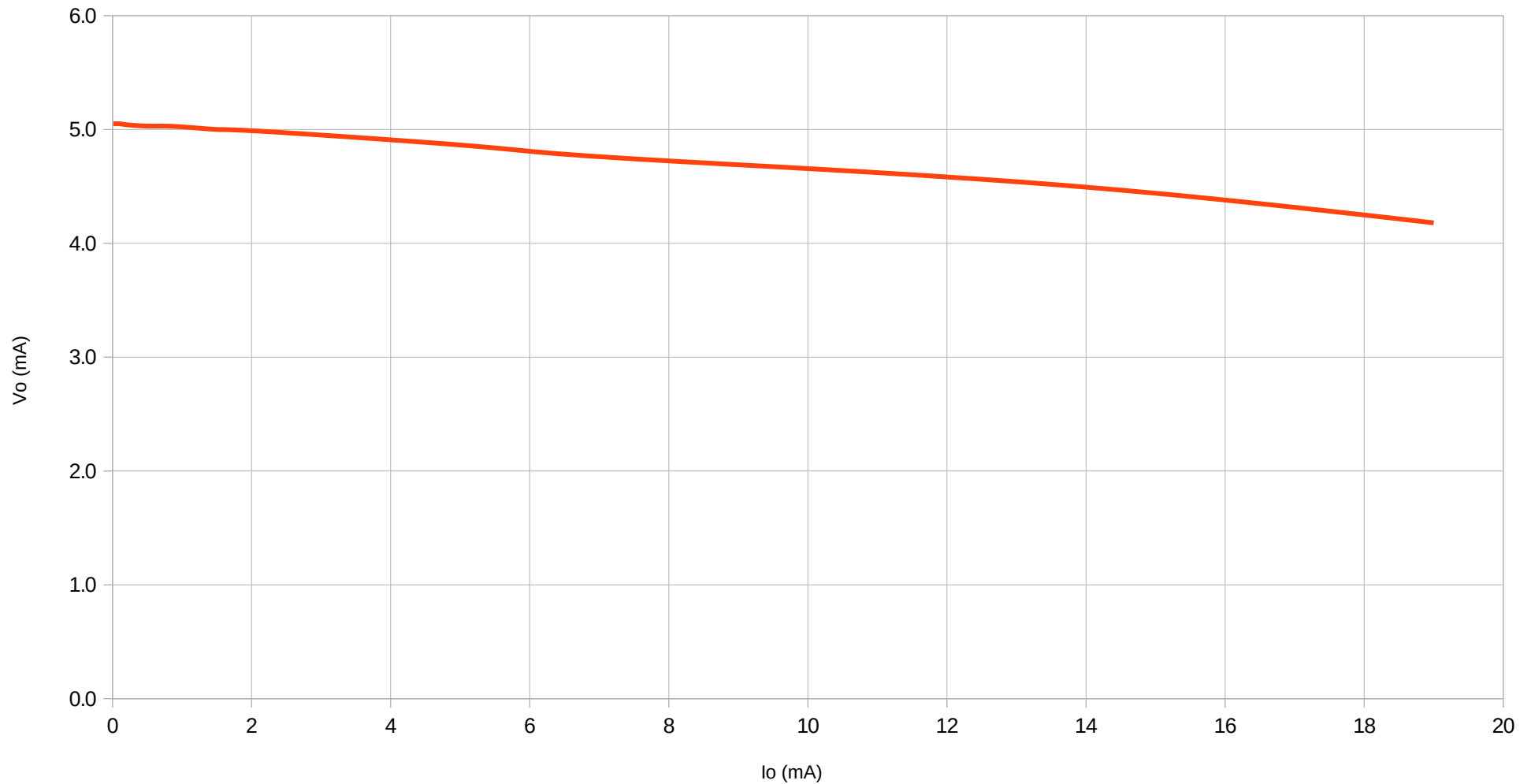
Corrientes y tensiones a la salida

Variación de $V_o = f(I_o)$ en estado **BAJO** - (4011B – $V_{DD} = 5V$)



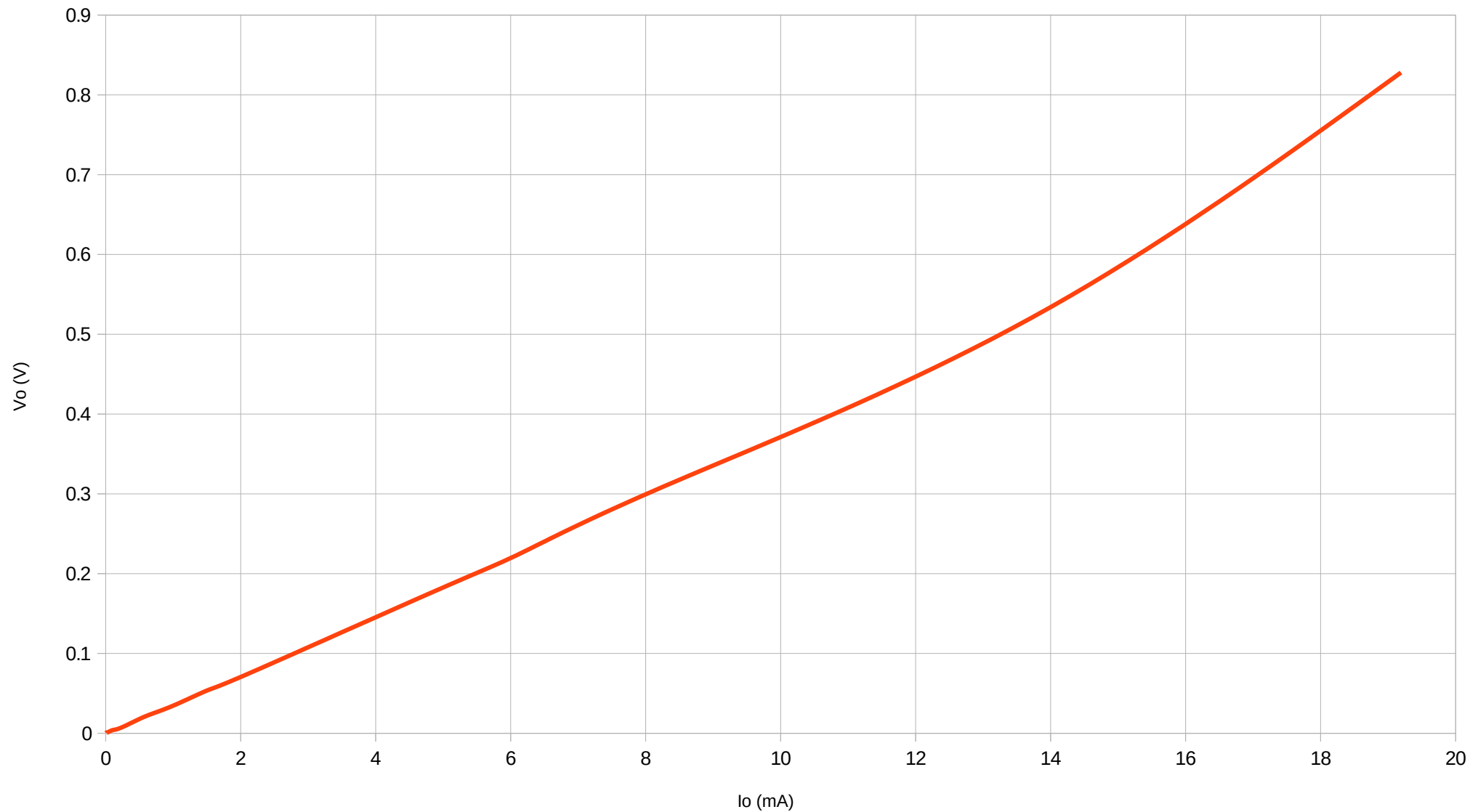
Corrientes y tensiones a la salida

Variación de $V_o = f(I_o)$ en estado **ALTO** - (74HC04 – $V_{DD} = 5V$)



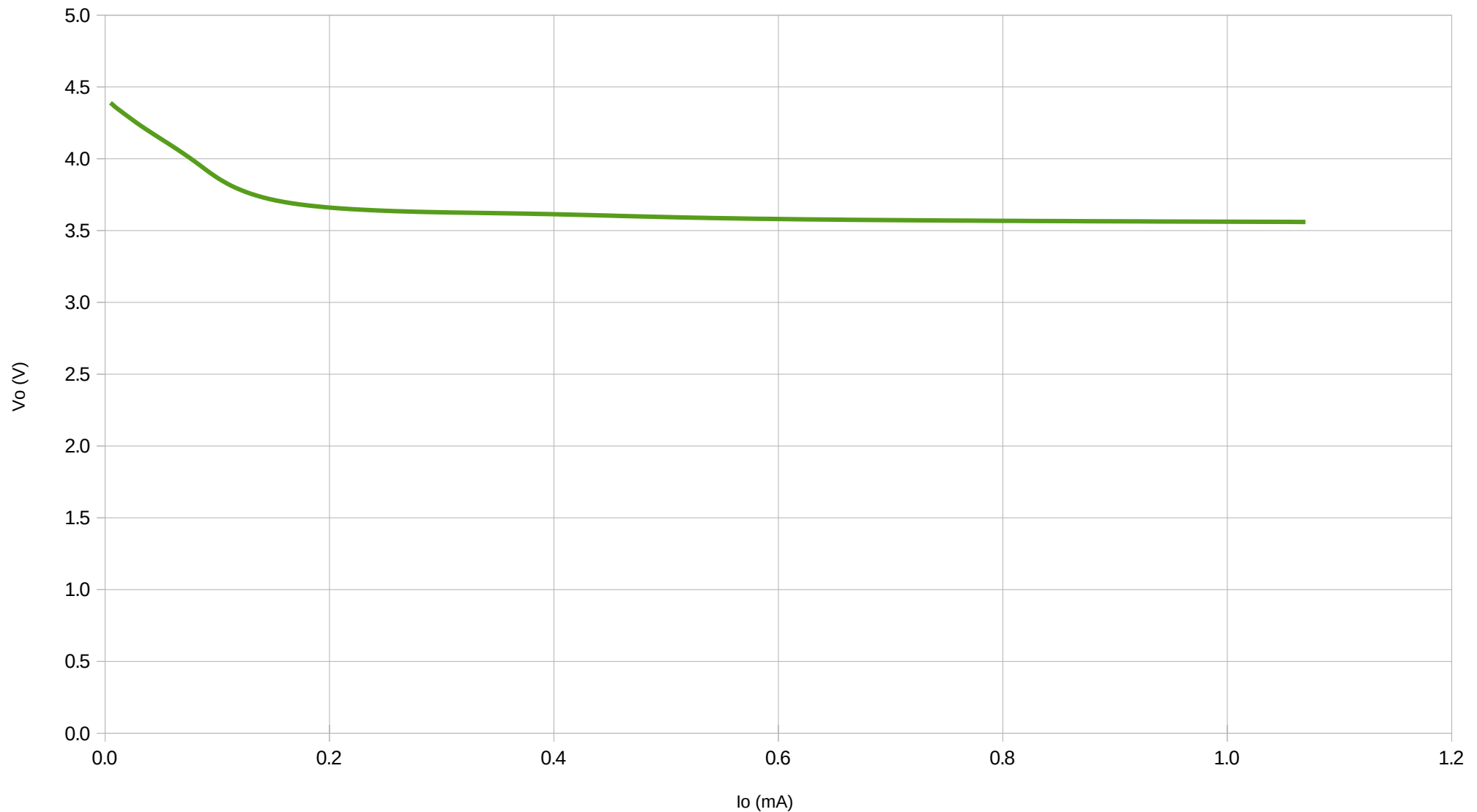
Corrientes y tensiones a la salida

Variación de $V_o = f(I_o)$ en estado **BAJO** - (74HC04 – $V_{DD} = 5V$)



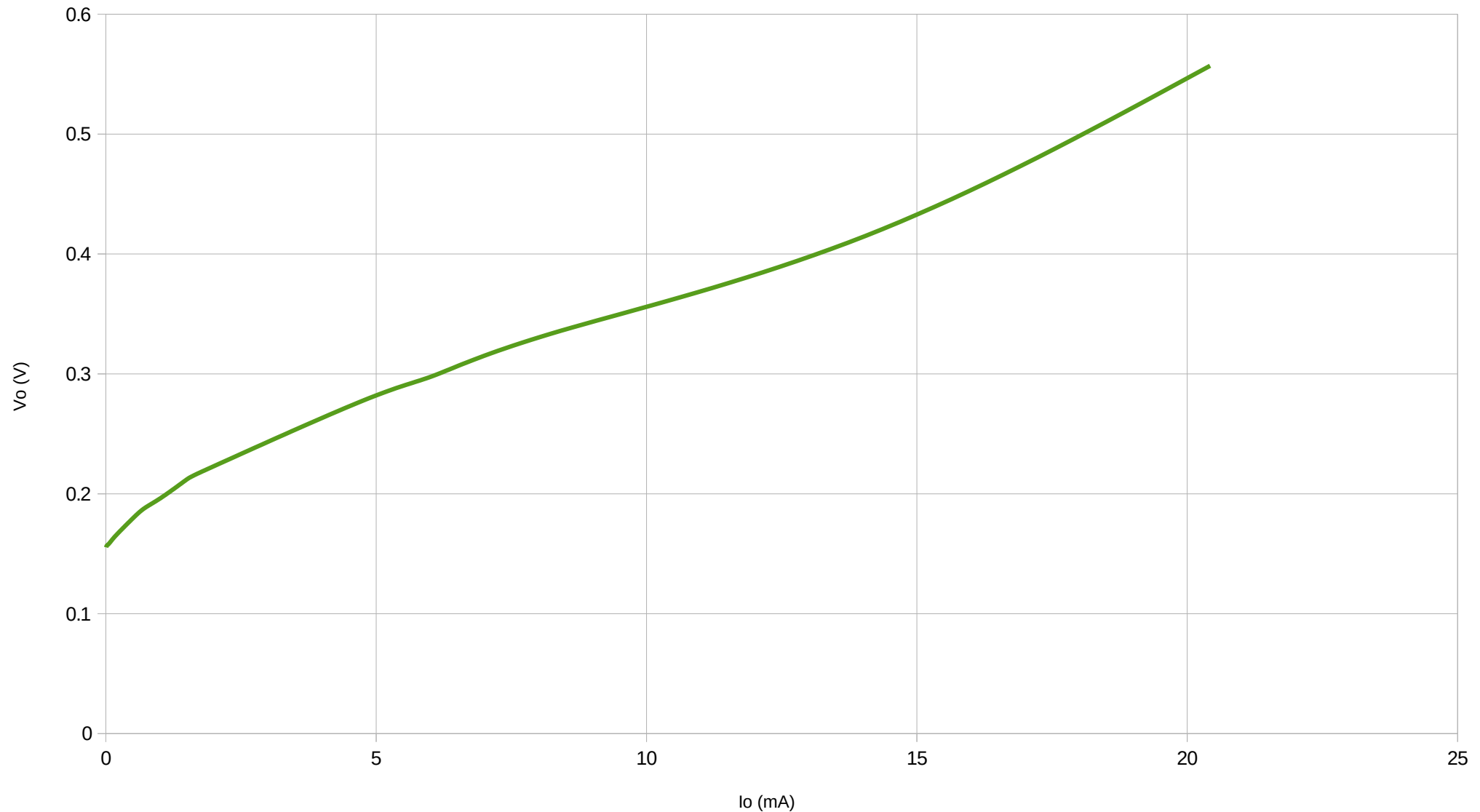
Corrientes y tensiones a la salida

Variación de $V_o = f(I_o)$ en estado **ALTO** - (74LS04 – $V_{DD} = 5V$)



Corrientes y tensiones a la salida

Variación de $V_o = f(I_o)$ en estado **BAJO** - (74LS04 – $V_{DD} = 5V$)



Corrientes de entrada y salida – Fan Out

La cantidad de entradas que se pueden conectar a una salida es limitada. Depende de las características de las entradas y la salida que se quieren conectar.

Ej. Cuántas entradas podemos conectar a una salida, si tienen las siguientes características:

Estado ALTO

- Cada salida puede entregar -0,4 mA
- Cada entrada necesita $20\mu\text{A} = 0,02\text{ mA}$

$$\left| \frac{-0,4\text{ mA}}{0,02\text{ mA}} \right| = 20$$

Estado BAJO

- Cada salida puede entregar 8,0 mA
- Cada entrada necesita $-400\mu\text{A} = -0,4\text{ mA}$

$$\left| \frac{8,0\text{ mA}}{-0,4\text{ mA}} \right| = 20$$

En este caso, se pueden conectar 20 entradas a una salida.

A esta cantidad se la conoce como **Fan-Out**.

Corrientes de entrada y salida – Fan Out

Otro ejemplo:

PARAMETER	TEST CONDITIONS†		SN74S04			UNIT
			MIN	TYP‡	MAX	
V_{IK}	$V_{CC} = \text{MIN},$	$I_I = -18 \text{ mA}$			-1.2	V
V_{OH}	$V_{CC} = \text{MIN},$	$V_{IL} = 0.8 \text{ V},$	2.7	3.4		V
V_{OL}	$V_{CC} = \text{MIN},$	$V_{IH} = 2 \text{ V},$			0.5	V
I_I	$V_{CC} = \text{MAX},$	$V_I = 5.5 \text{ V}$			1	mA
I_{IH}	$V_{CC} = \text{MAX},$	$V_I = 2.7 \text{ V}$			50	μA
I_{IL}	$V_{CC} = \text{MAX},$	$V_I = 0.5 \text{ V}$			-2	mA
$I_{OS}§$	$V_{CC} = \text{MAX}$		-40		100	mA
I_{CCH}	$V_{CC} = \text{MAX},$	$V_I = 0 \text{ V}$		15	24	mA
I_{CCL}	$V_{CC} = \text{MAX},$	$V_I = 4.5 \text{ V}$		30	54	mA

Estado ALTO

- Cada salida puede entregar -1 mA
- Cada entrada necesita $50\mu\text{A} = 0,05 \text{ mA}$

$$\left| \frac{-0,1 \text{ mA}}{0,05 \text{ mA}} \right| = 20$$

Estado BAJO

- Cada salida puede recibir 20 mA
- Cada entrada necesita $-2\text{mA} = -2 \text{ mA}$

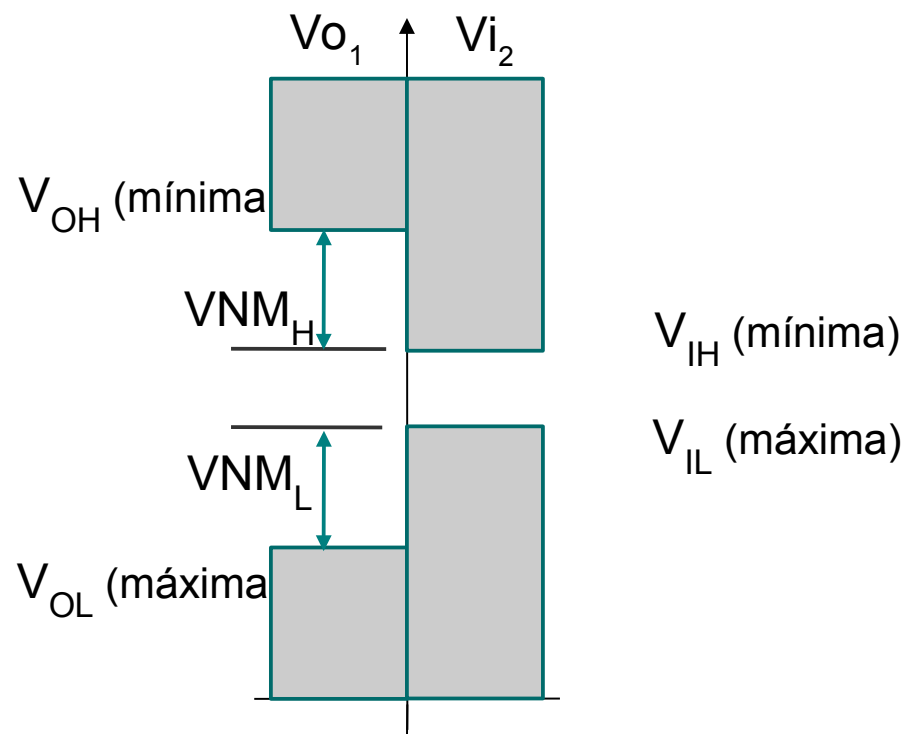
$$\left| \frac{20 \text{ mA}}{-2 \text{ mA}} \right| = 10$$

Fan-Out

- En este caso, las cantidades son distintas para nivel alto y bajo.
- Se toma en cuenta el peor caso, el menor número: 10 entradas a una salida.

Resumen

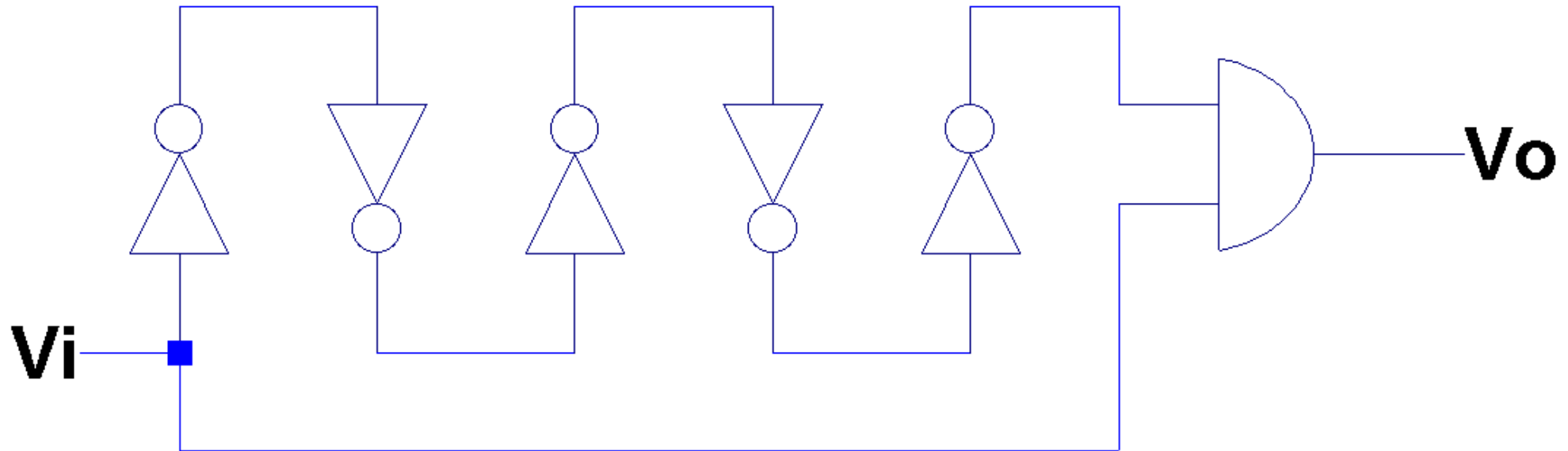
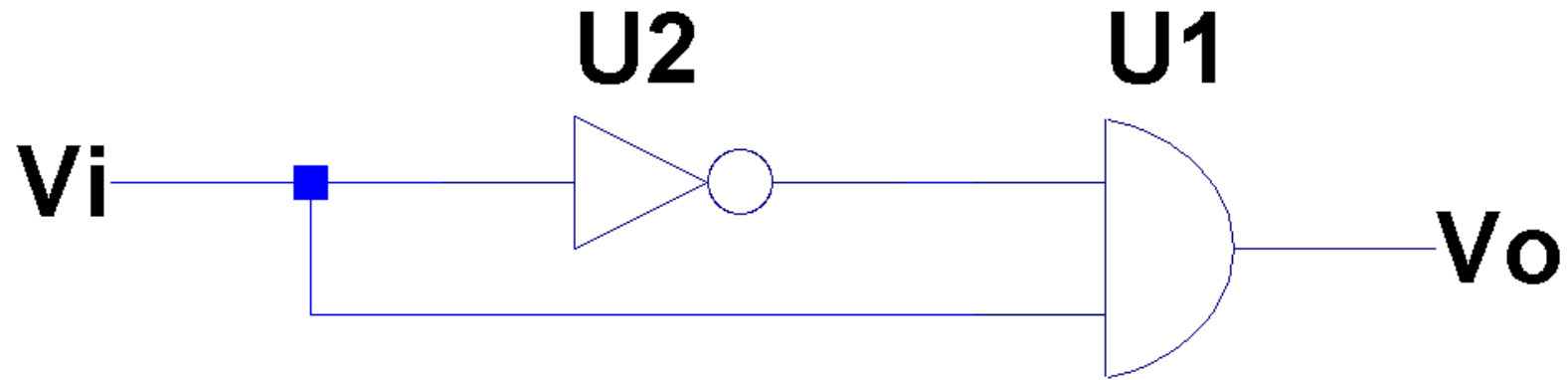
- V_{IH} (mínima): El mínimo garantizado a partir del cual se reconoce un "1"
- V_{IL} (máxima): El máximo garantizado debajo del cual se reconoce un "0"
- V_{OH} (mínima) es la mínima tensión cuando la salida es "1". Varía con la corriente I_{OH} .
- V_{OL} (máxima) es la máxima tensión cuando la salida es "0". Varía con la corriente I_{OL} .
- El margen de ruido es la cantidad que puede variar una conexión sin alterar el estado lógico.
- Para que se pueda conectar una salida a una entrada los márgenes de ruido H y $L > 0$
- Fan-Out: Cuántas entradas se pueden conectar a una salida.



Características dinámicas

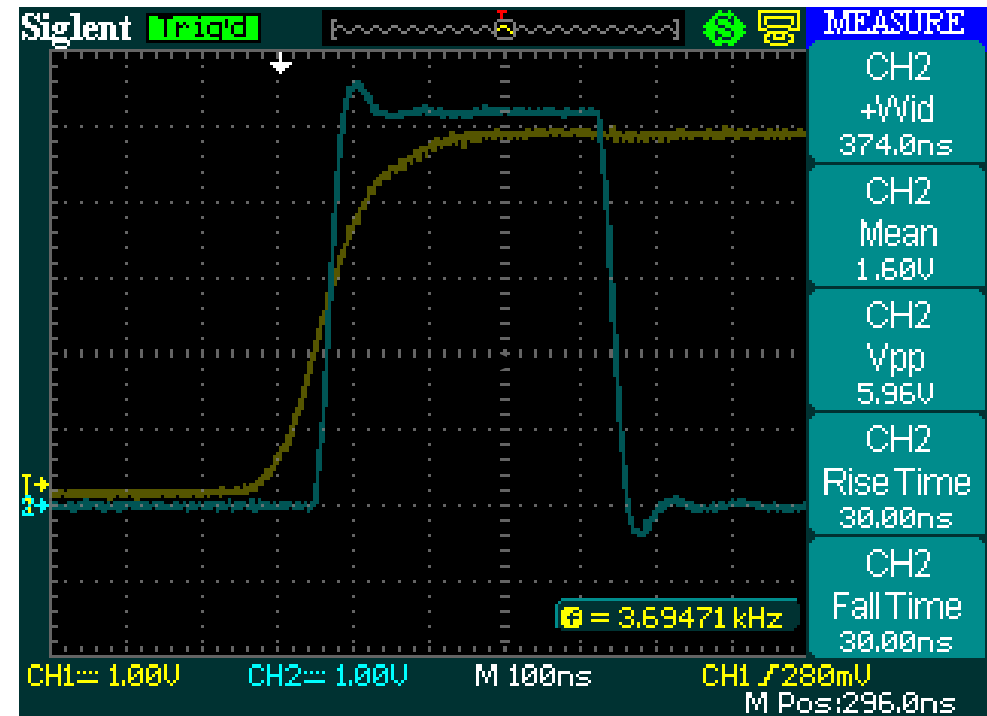
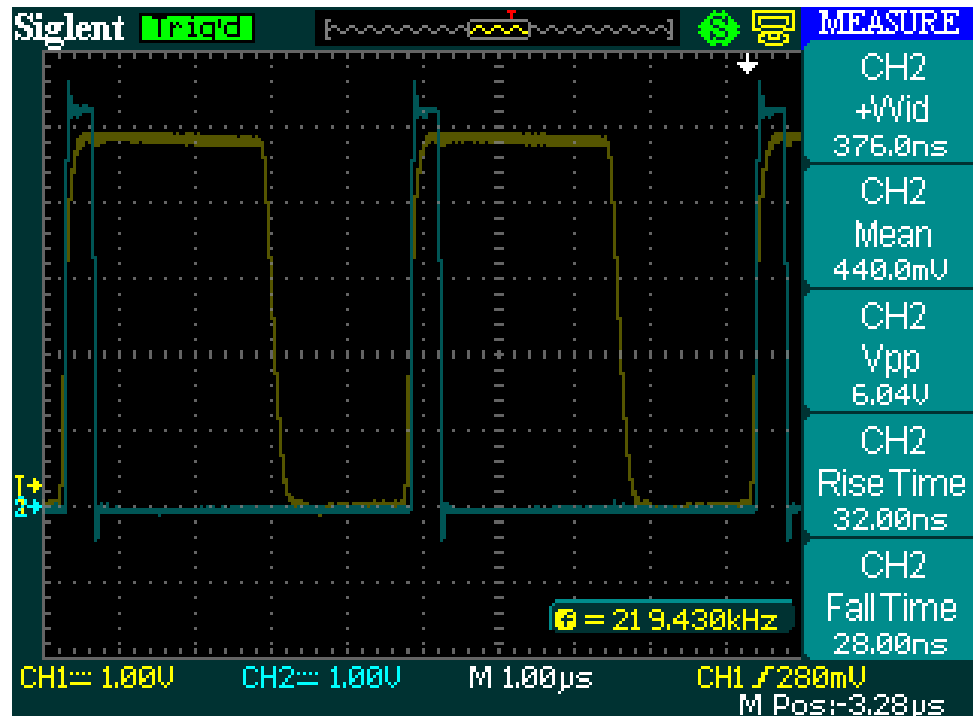
Tiempo de propagación

¿Cómo es la V_o de los siguientes circuitos?
¿Son iguales? ¿Cuándo? ¿Por qué?



Tiempo de propagación

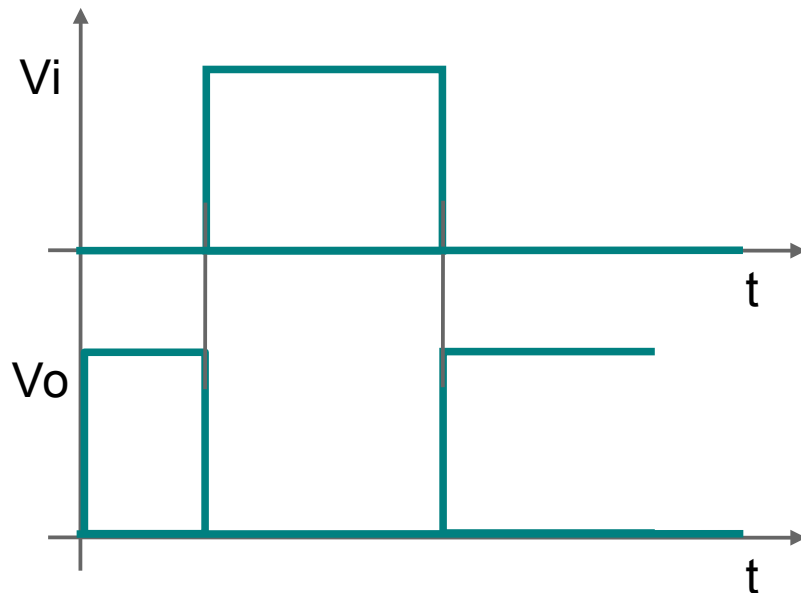
- Si V_i es un estado lógico fijo, V_o es la misma en ambos casos.
- Si V_i es un “pulso”, V_o es diferente...



La señal del CH1 (amarilla) es V_i y CH2 (celeste) es la V_o del circuito con cinco inversores en el slide anterior ¿Por qué?

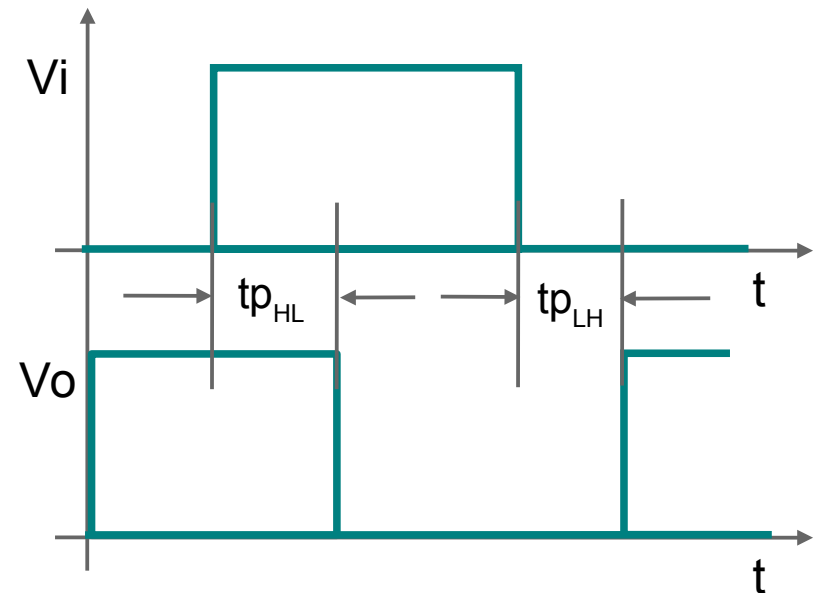
Tiempo de propagación

- Un circuito integrado demora en reflejar en la salida los cambios que se producen en una o más entradas.
- A esa demora se la llama “tiempo de propagación”



Respuesta **ideal**:

- La salida cambia en el mismo instante que la entrada

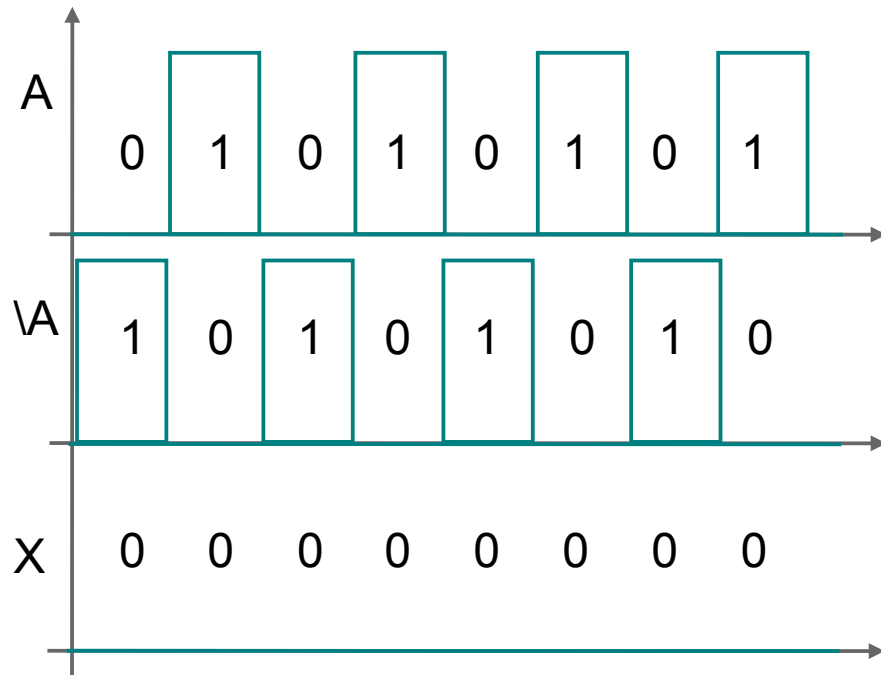


Respuesta **real**:

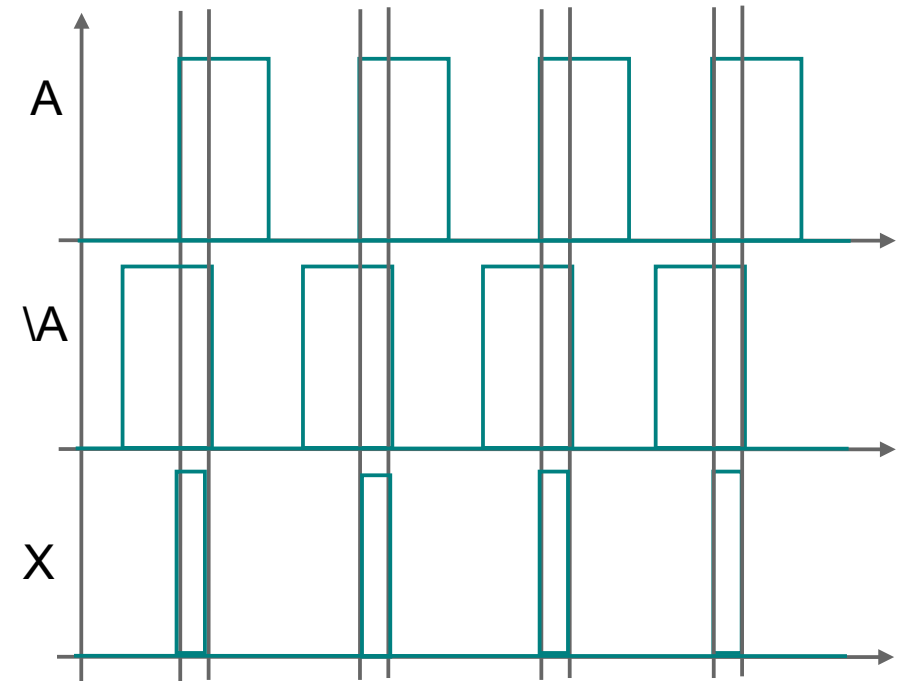
- Hay una demora entre el cambio en la entrada y el cambio correspondiente en la salida.

Tiempo de propagación

- Análisis **ideal**



- Considerando el **tiempo de propagación**.



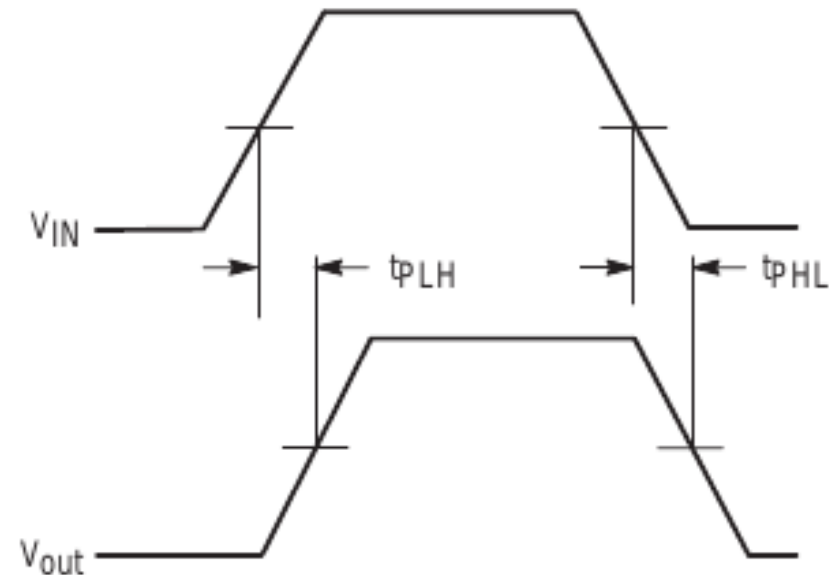
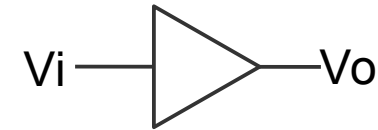
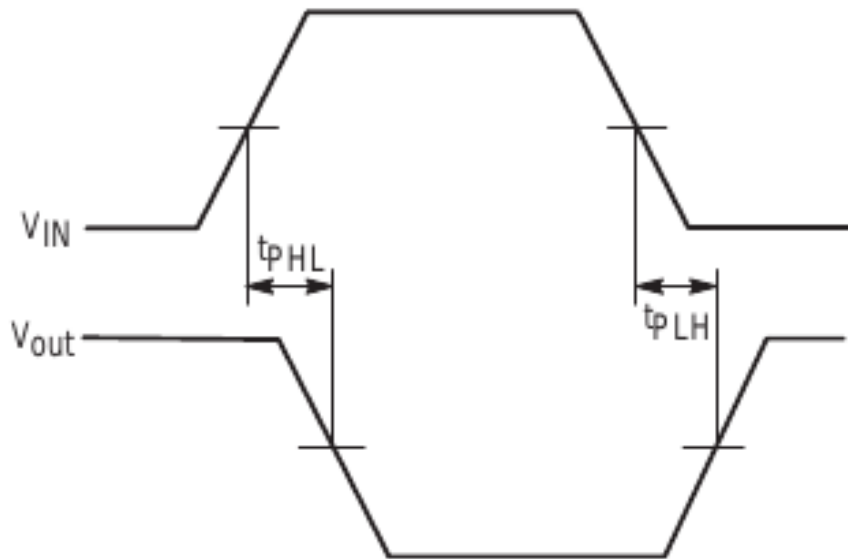
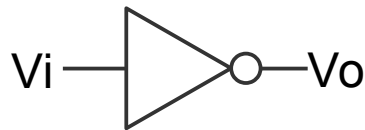
Es un circuito **detector de flanco ascendente**

Tiempo de propagación

$T_{p_{HL}}$: tiempo de propagación de Hi $\rightarrow$ Lo

$T_{p_{LH}}$: tiempo de propagación de Lo $\rightarrow$ Hi

En los manuales podemos encontrar esta información en gráficos como los siguientes:



Se toman diversos puntos como referencia para tomar los tiempos. En algunos integrados, por ejemplo 1.3V, en otros, el 50% de la señal, etc.

Tiempo de transición

- Como vimos en el slide anterior, en los manuales, las formas de onda no se consideran rectangulares (al menos para informar características dinámicas)
 - En realidad, las señales rectangulares no existen...

La salida de un circuito integrado no cambia de estado instantáneamente...

El tiempo que tarda una salida en cambiar de estado es el

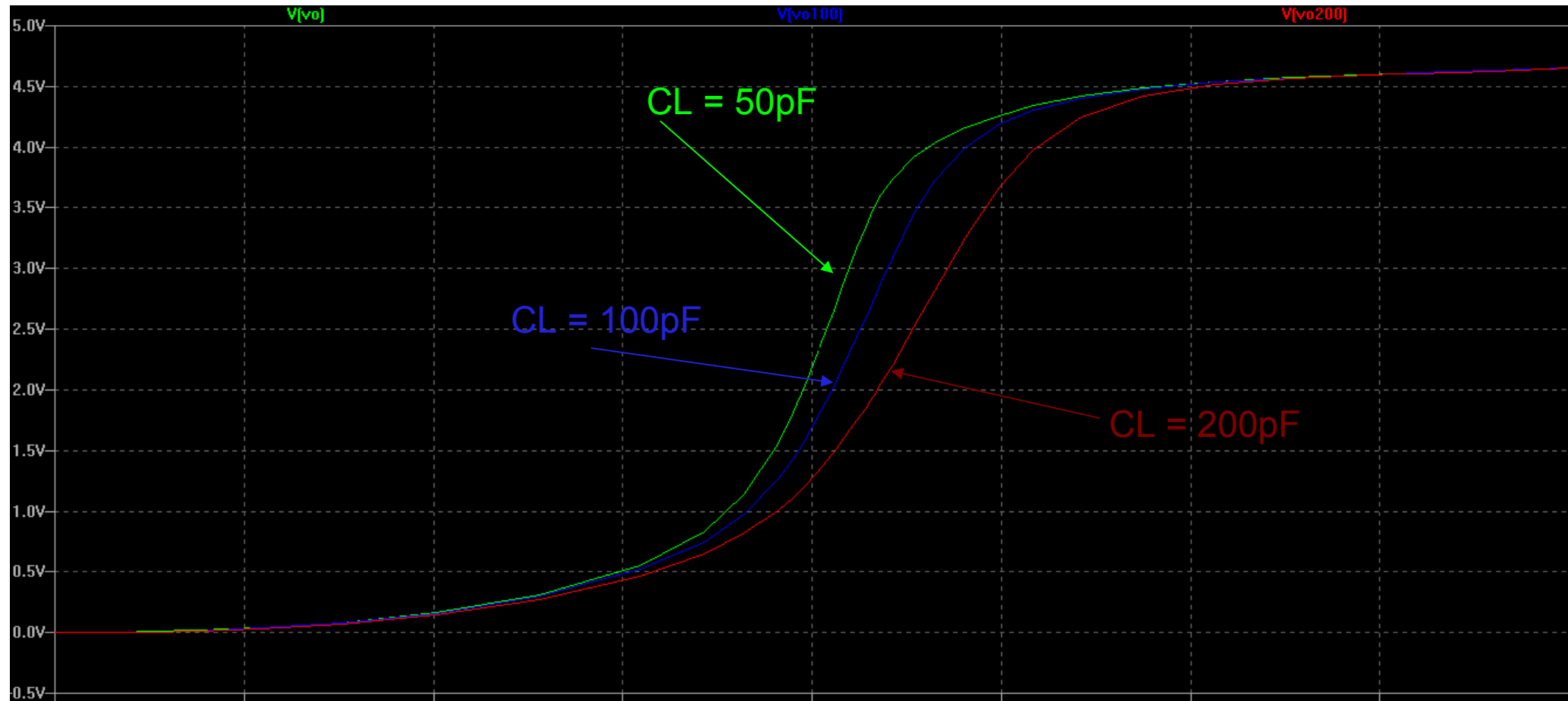
Tiempo de transición: tT_{LH} ($Lo \rightarrow Hi$) y tT_{HL} ($Hi \rightarrow Lo$)



Estos tiempos se computan entre el 10% y el 90% de la señal de salida.

Tiempo de transición

Este tiempo se ve afectado por la capacidad parásita y la resistencia del circuito al que se conecta la salida.



- Transición de estado bajo a alto de una salida CMOS. Cada división horizontal = 5μs
- Las CL corresponden aproximadamente a 1, 2 y 4 entradas CMOS

Resumen

- t_P Tiempo de propagación: Lo que tarda una salida en responder a los cambios en las entradas.
- t_T Tiempo de transición: El tiempo que tarda una salida en cambiar de estado.

Familias lógicas

Familias lógicas - Introducción

- Una familia lógica es un conjunto de circuitos integrados que tienen características que permiten su interconexión sencilla, en forma de bloques¹.
- Usan la misma tecnología para fabricar todos los integrados del conjunto.
- En una familia lógica encontramos todos los bloques digitales importantes²
(compuertas, contadores, buffers, multiplexores, codificadores,
decodificadores, registros, flip-flops, etc.)

Familias lógicas

Algunos tipos de integrados digitales

- ECL -> Emitter-Coupled Logic
 - RTL -> Resistor-Transistor Logic
 - DTL -> Diode-Transistor Logic
- } Obsoletos.

- TTL -> Transistor-Transistor Logic
- CMOS -> Complementary Metal-Oxide-Semiconductor
- BiCMOS -> BJT + CMOS Más Rápidos - Más caros...

Algunas
familias
comunes

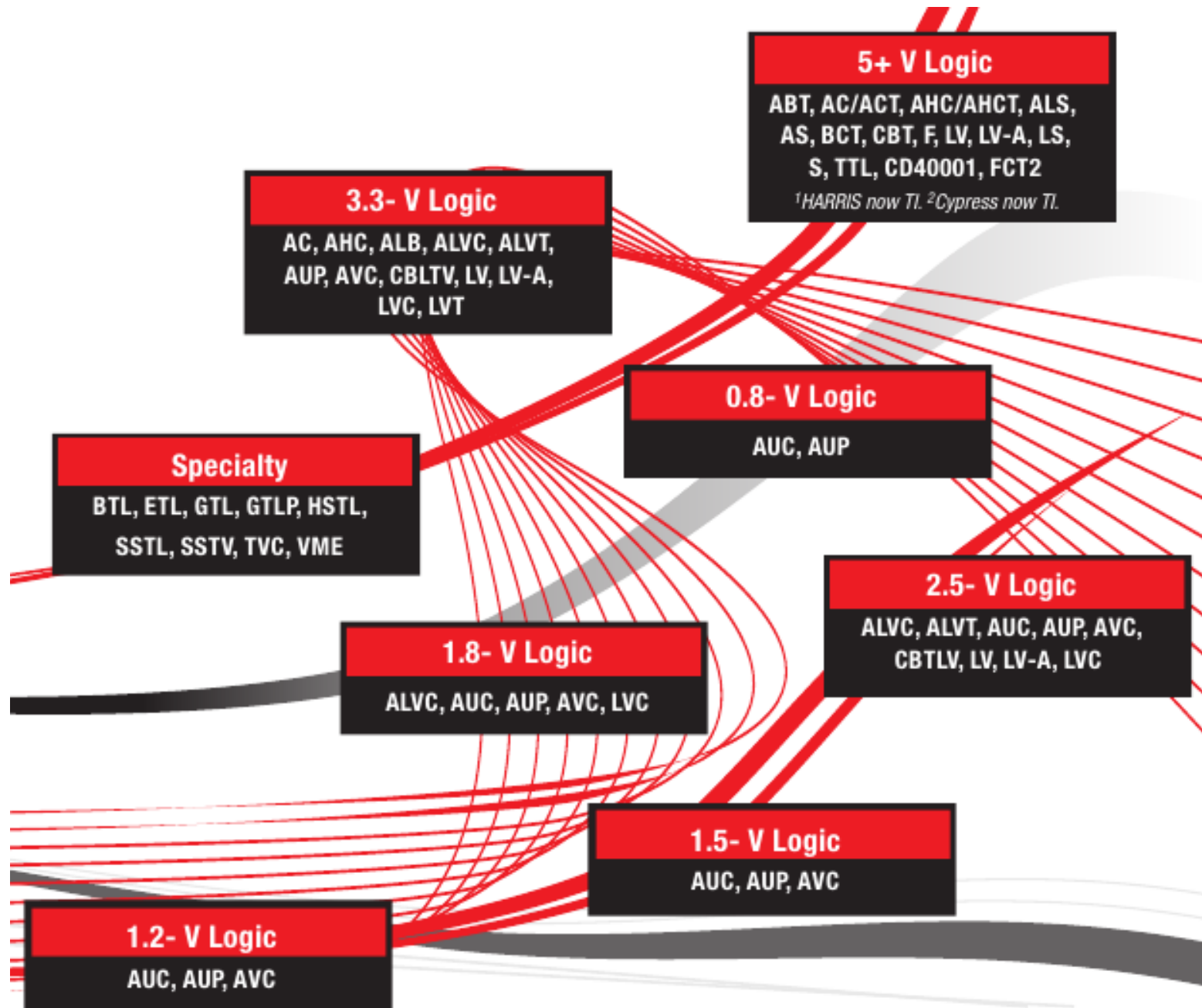
- | | |
|-------------|-----------------------------|
| - 4000/4500 | Metal gate |
| - 74HC(T)* | High-speed CMOS |
| - 74AC(T)* | Advanced CMOS |
| - 74VHC(T)* | Very High-speed CMOS |
| - 74AHC(T)* | Advanced High-speed CMOS |
| <hr/> | |
| - 74LS | Low-power Schottky |
| - 74AS | Advanced Schottky |
| - 74ALS | Advanced Low-power Schottky |

} CMOS.

} TTL.

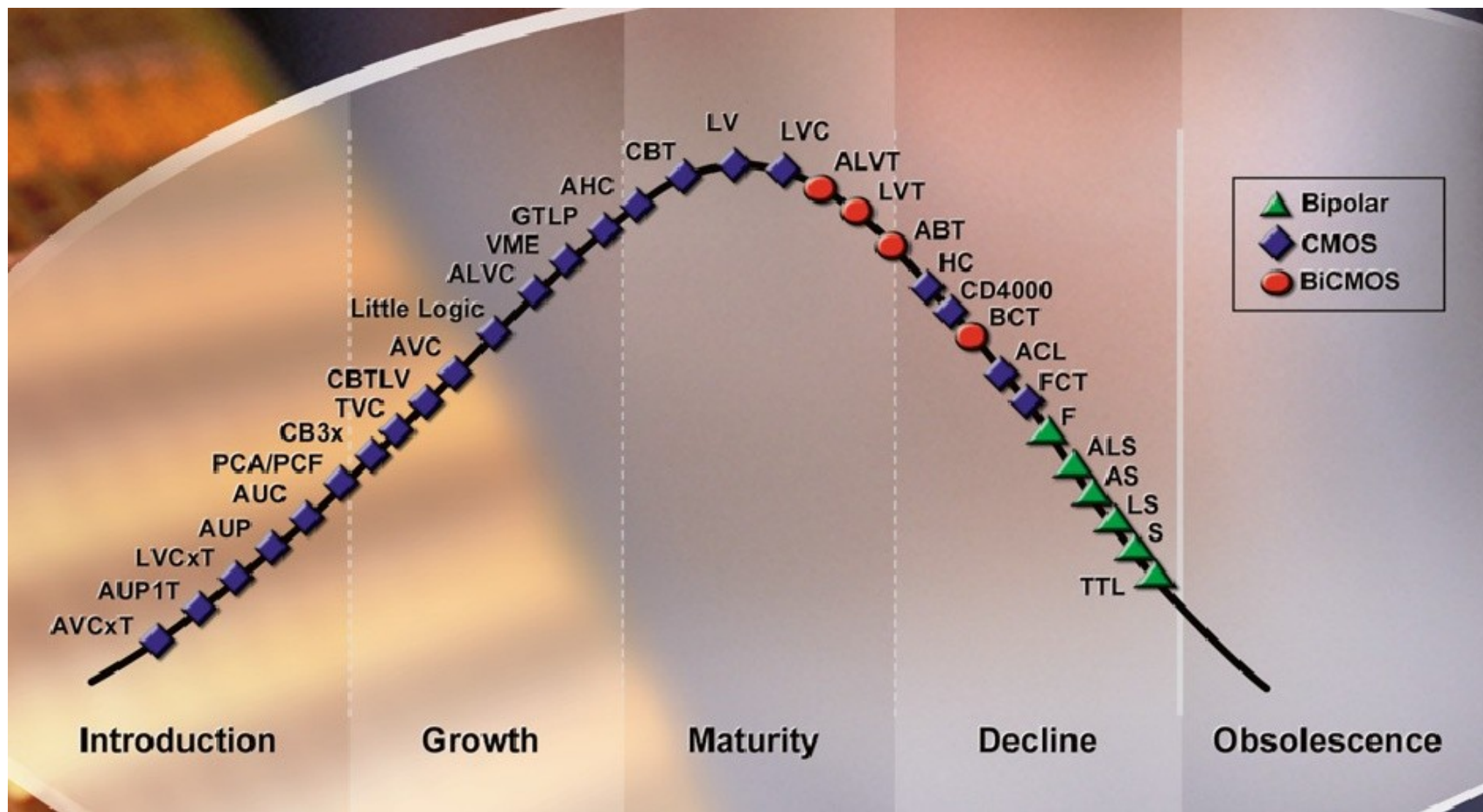
* Existen circuitos CMOScon entradas compatibles TTL. En estas variantes, a las letras se le agrega "T". Ej.: 74HCT

Familias lógicas



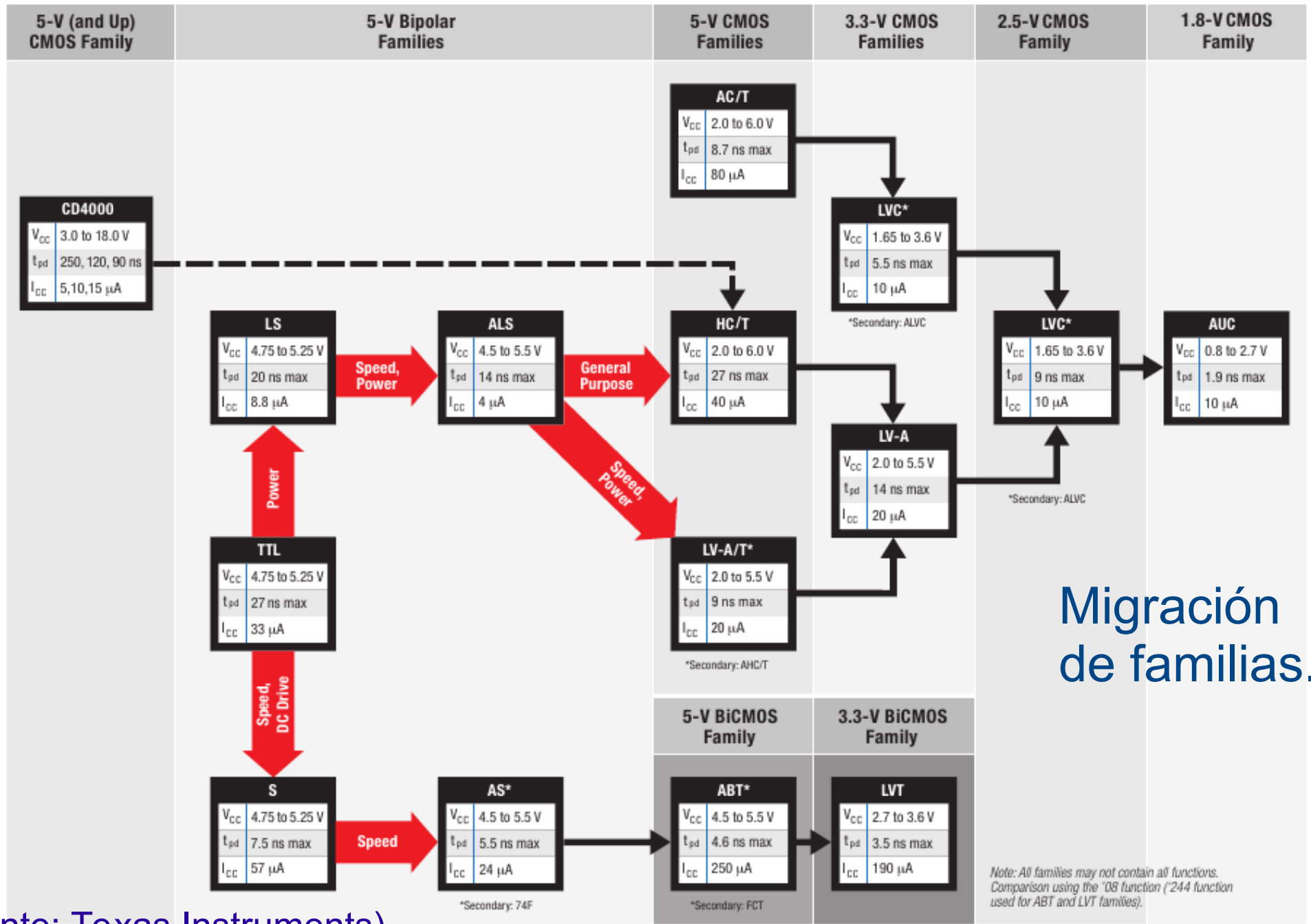
(Fuente: Texas Instruments)

Familias lógicas



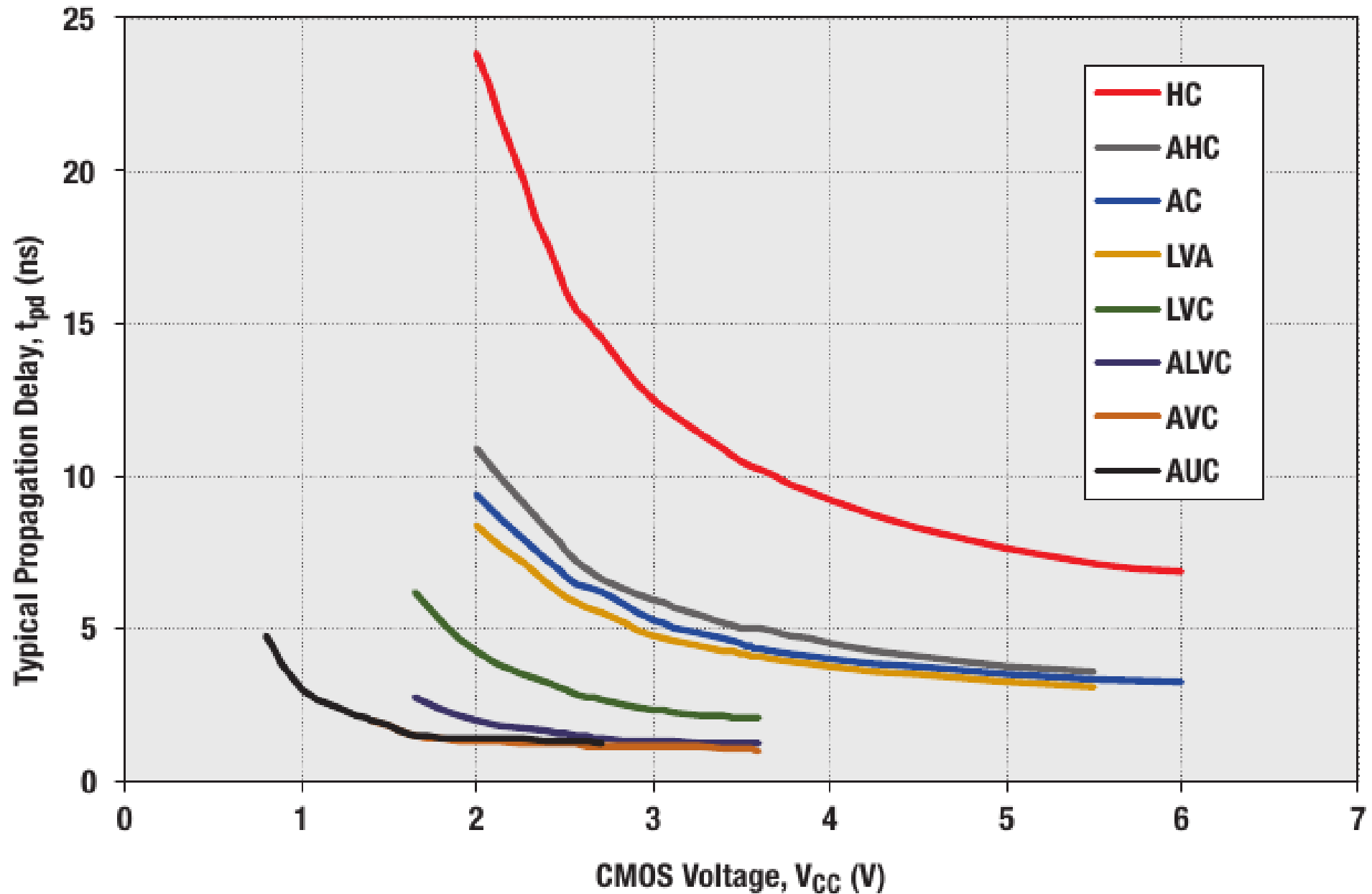
(Fuente: Texas Instruments)

Familias lógicas



(Fuente: Texas Instruments)

Familias lógicas



(Fuente: Texas Instruments)

Familias lógicas - Interconexión

¿Se pueden interconectar circuitos de diferentes familias en forma **directa**?

Se tienen que cumplir en principio, dos condiciones:

$$1. \begin{cases} I_{OH} > I_{IH} \\ I_{OL} > I_{IL} \end{cases}$$

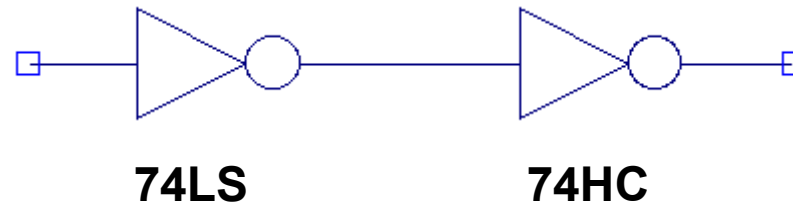
$$2. \begin{cases} V_{OH} > V_{IH} & (VNM_H > 0) \\ V_{OL} < V_{IL} & (VNM_L > 0) \end{cases}$$

(Y la entrada tiene que soportar la tensión que se le aplica...)

- Para los valores de V_o hay que considerar qué corrientes entran y salen...
- Recordar que **V_o cambia según lo**

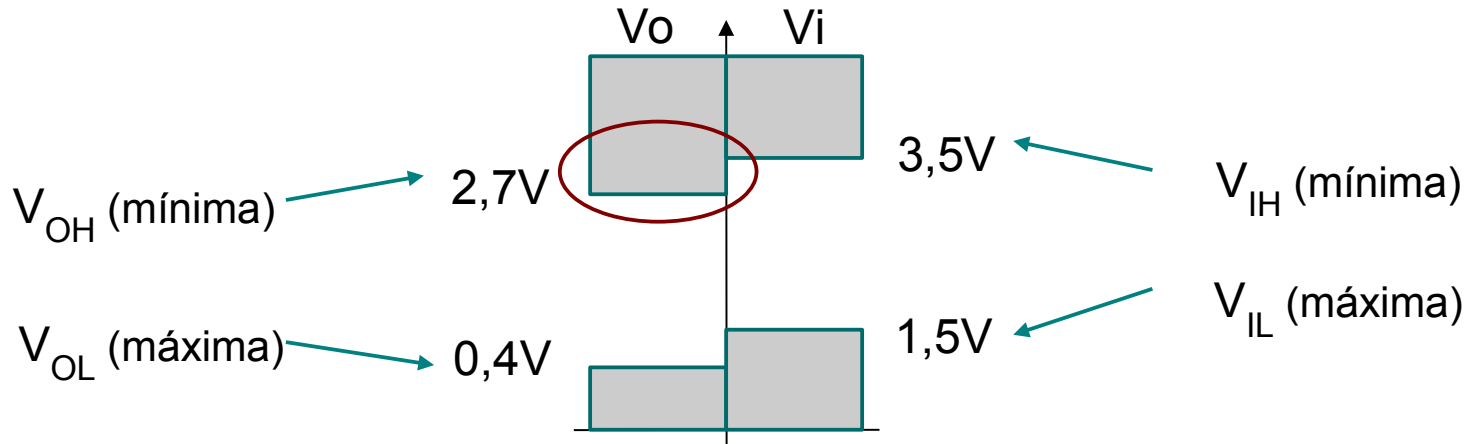
Familias lógicas - Interconexión

Ej.1 ¿Es posible la siguiente conexión?



(La tensión de alimentación de ambos circuitos es **5V**)

La corriente de una entrada CMOS idealmente es 0 (cero), la I_i está determinada por los diodos de protección. En este caso, la $I_i = \pm 0,1\mu A \rightarrow$ La I no es problema para esta conexión.

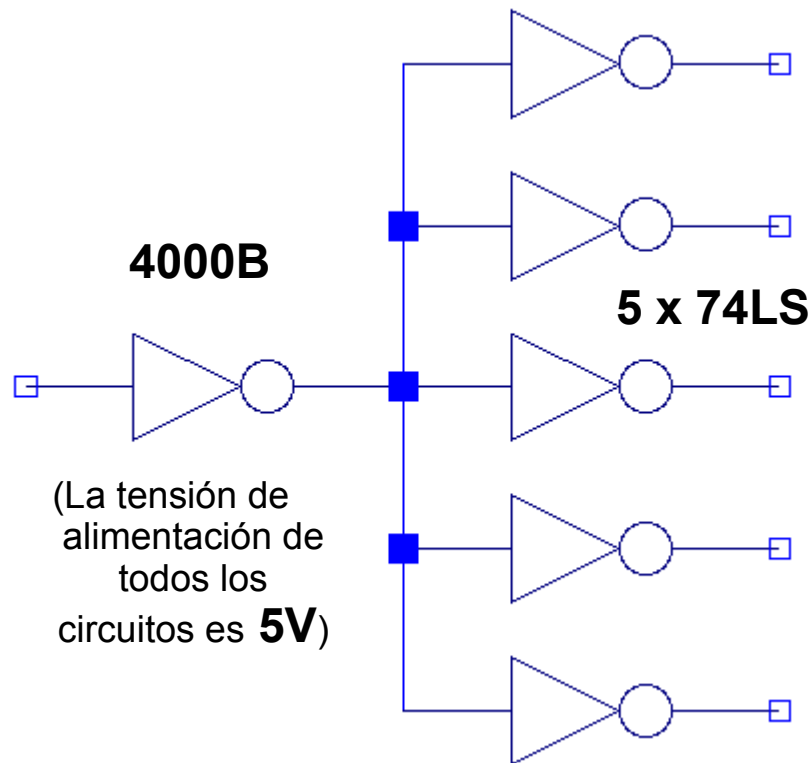


✗ $2,7V > 3,5V$
✓ $0,4V < 1,5V$ → NO es posible la conexión directa.

(Por eso existe una familia 74HCT con entradas compatibles con niveles TTL)

Familias lógicas - Interconexión

Ej.2 ¿Es posible la siguiente conexión?



1. En estado **H**:

- $5 \cdot I_{ih}(74LS) = 5 \cdot 20 \mu A = 100 \mu A$ y la tensión debe estar por encima de V

En estado L se necesitan:

- $5 \cdot I_{il}(74LS) = 5 \cdot 0,4 \text{ mA} = 2 \text{ mA}$

2. Tensión (para esos valores de I):

En estado H:

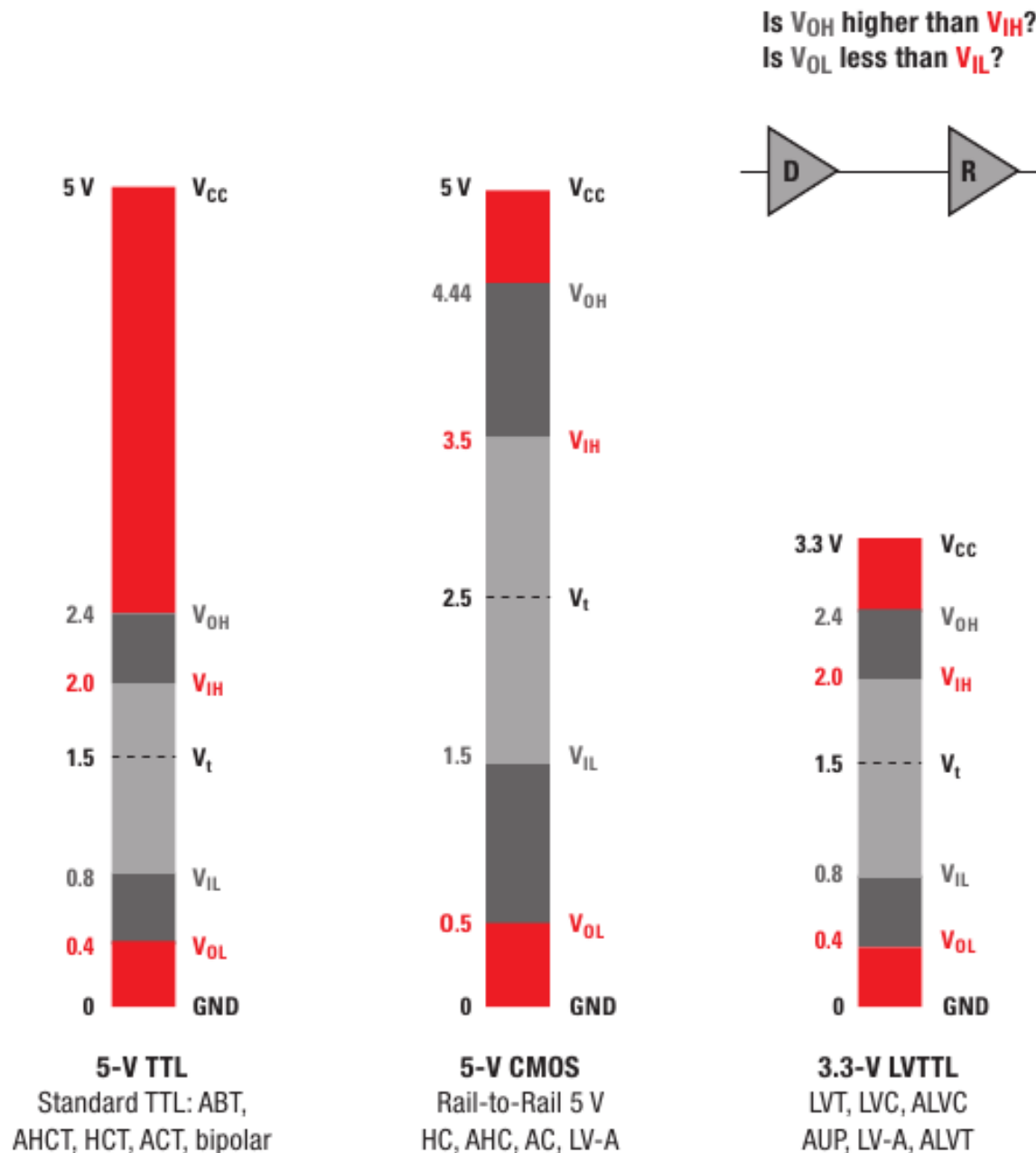
- De hoja de datos: para 0,51 mA $V_{OH}(\text{mín}) = 4,6V$
Como $V_{IH}(74LS) = 2 \text{ V}$ no hay problema

En estado **L**:

- Las 5 entradas 74LS necesitan 2mA ($5 \cdot 0,4\text{mA}$) y la $V_{IL}(74LS)$ debe ser como mucho 0,7V,
¿En un 4000B qué V_o corresponde a 2 mA? Del manual: aproximadamente 1V
- Como $1V > 0,7V$ **no es posible** realizar esta conexión...

O **sin hacer cuentas**: Las hojas de datos indican que se puede conectar una entrada 74LS a una salida 4000B

Familias lógicas – Interconexión



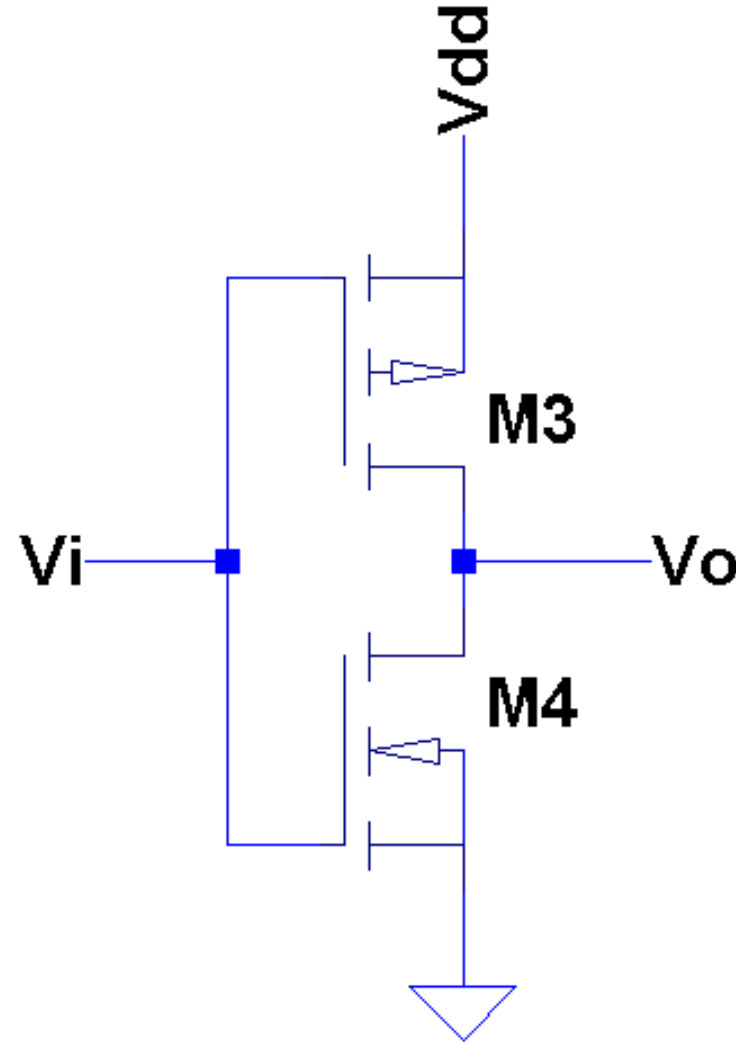
D \ R	5 TTL	5 CMOS	3 LVTTTL	2.5 CMOS	1.8 CMOS
5 TTL	Yes	No	Yes*	Yes*	Yes*
5 CMOS	Yes	Yes	Yes*	Yes*	Yes*
3 LVTTTL	Yes	No	Yes	Yes*	Yes*
2.5 CMOS	Yes	No	Yes	Yes	Yes*
1.8 CMOS	No	No	No	No	Yes*

* Requires V_{IH} Tolerance

(Fuente: Texas Instruments)

Familias lógicas - CMOS

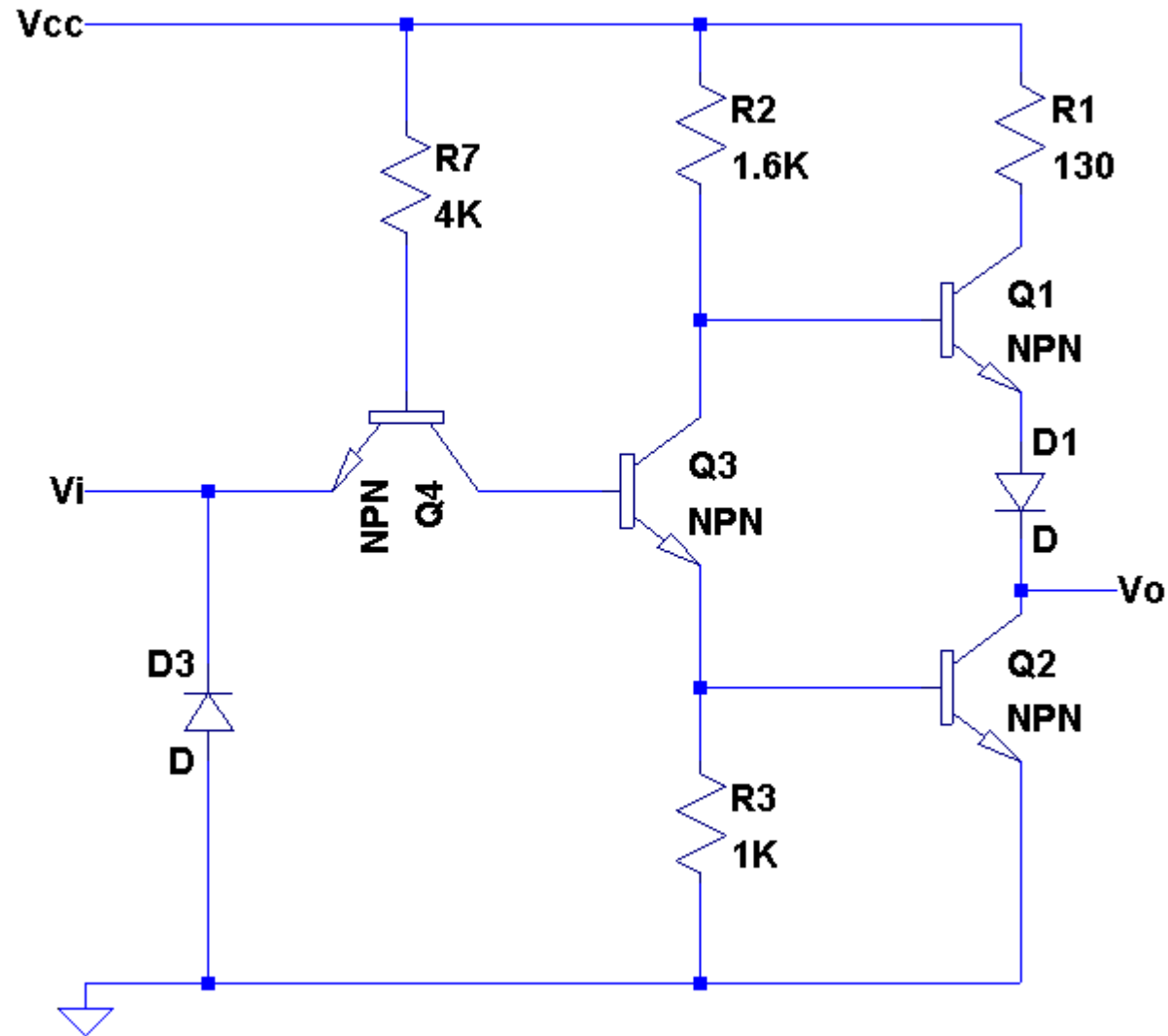
Inversor **CMOS** - construido con MOSFETs



P-MOS y N-MOS, por eso **Complementary**

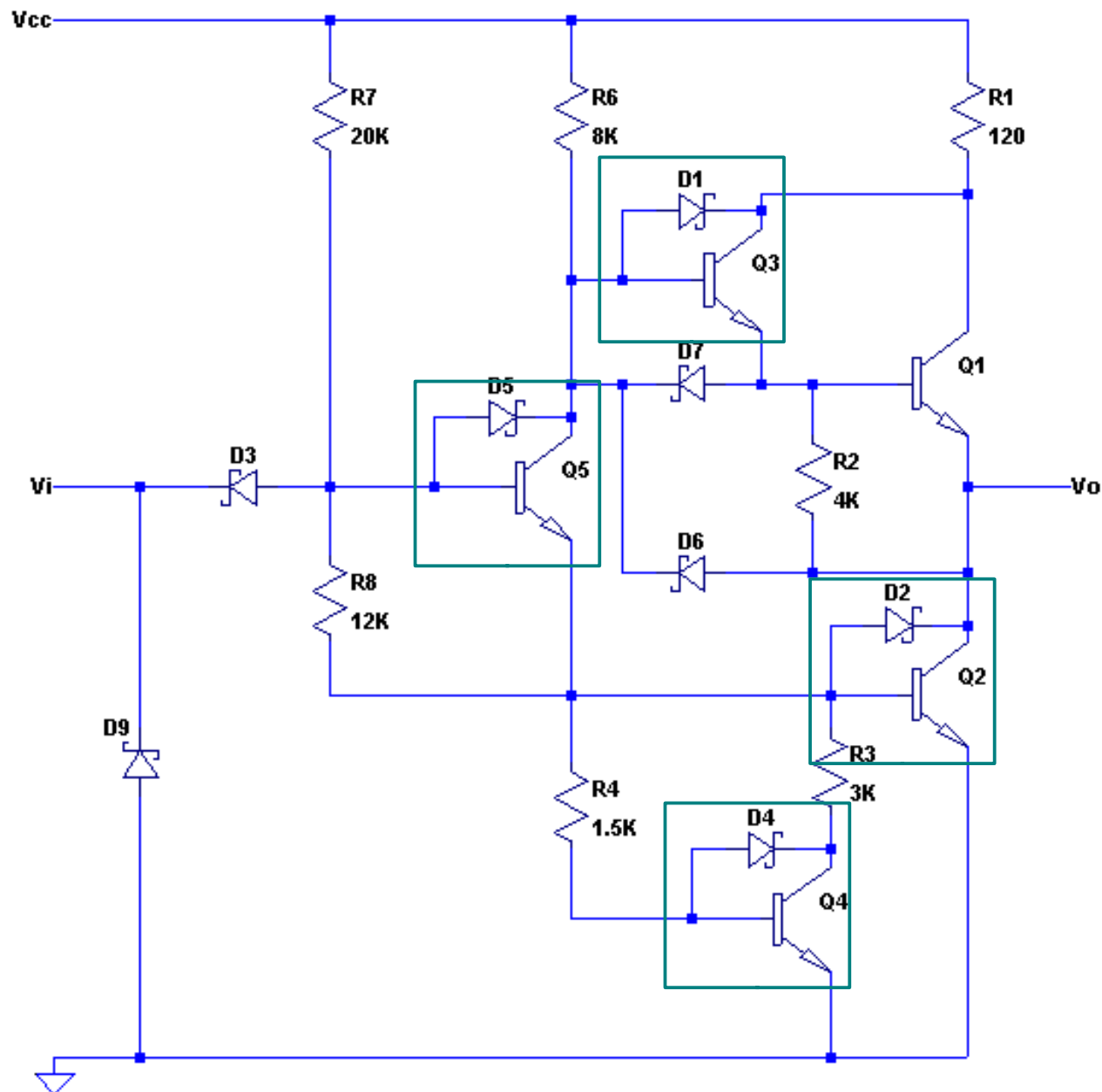
Familias lógicas - TTL

Inversor **TTL** (construido con transistores bipolares NPN)



Familias lógicas – TTL LS

Inversor TTL LS (construido con transistores Schottky)

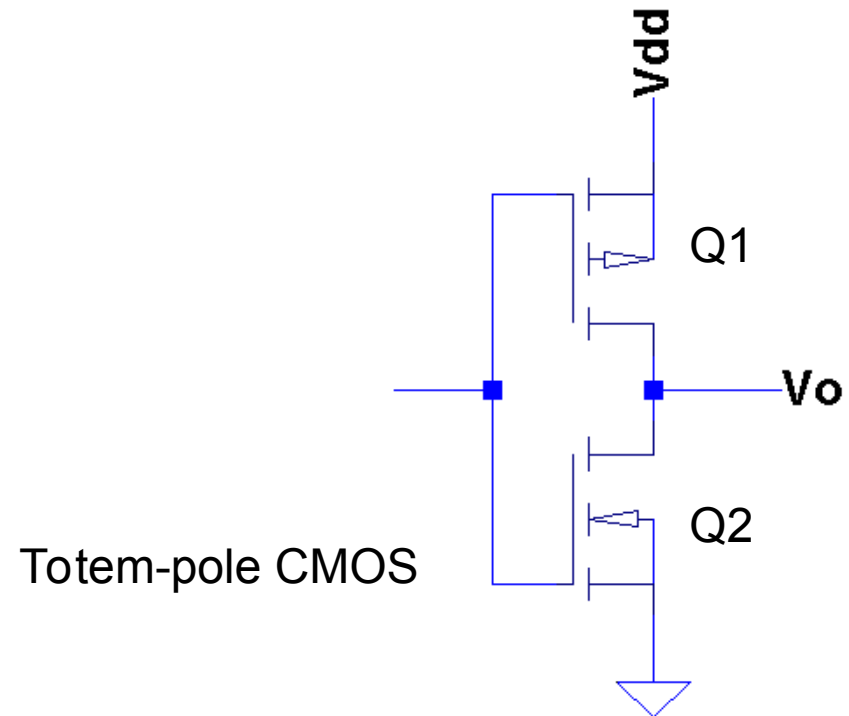
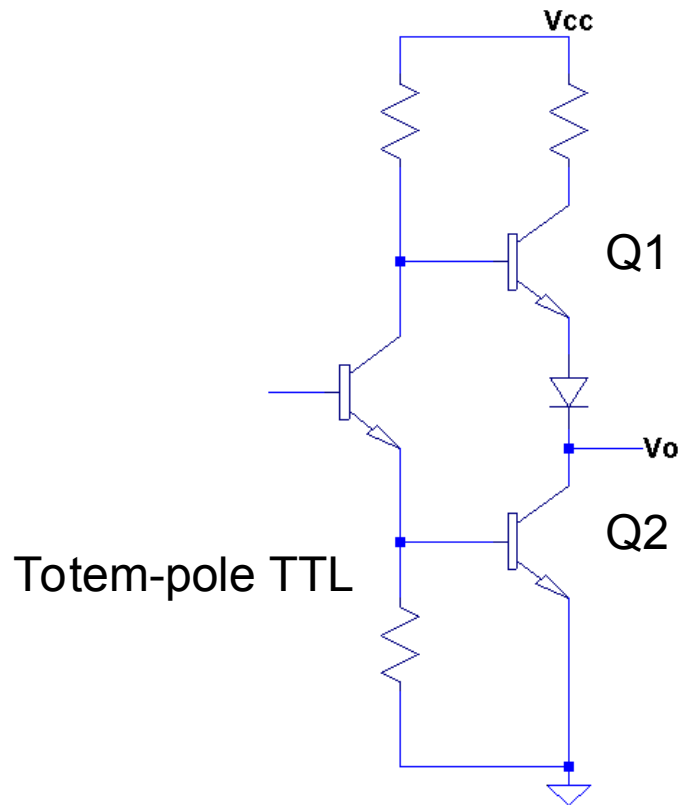


Familias lógicas

Tipos de salida

Familias lógicas – Salida Totem-Pole

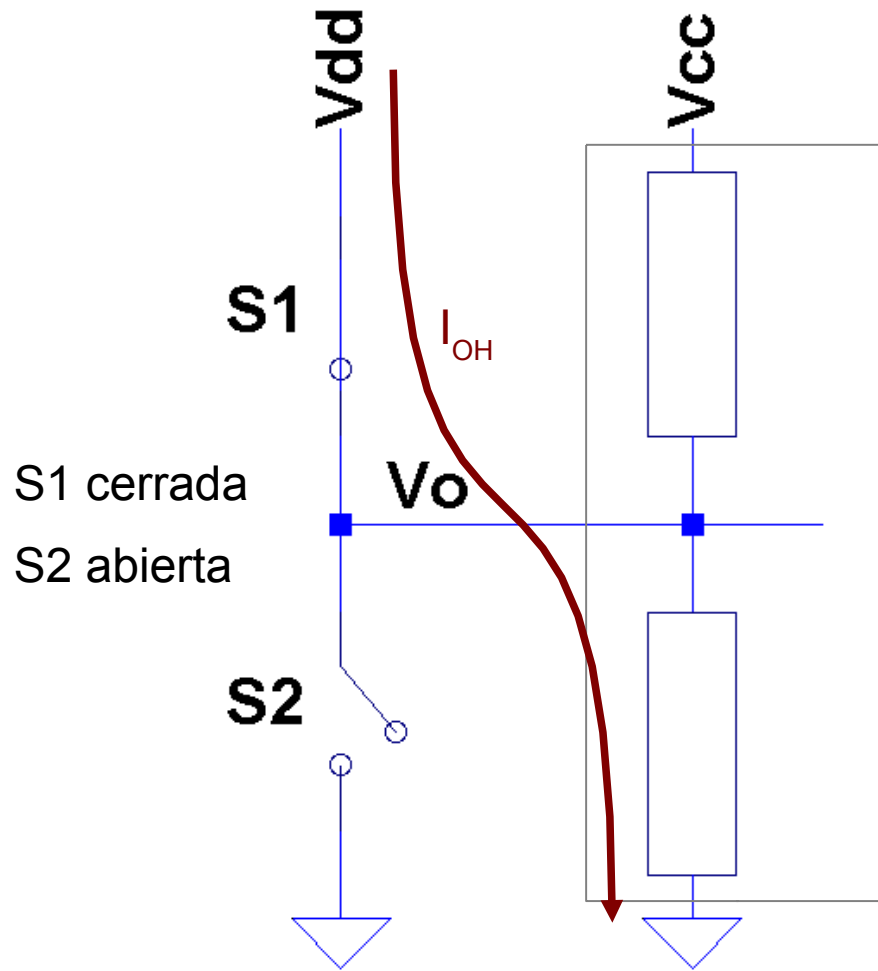
- Las salidas de los tres circuitos anteriores son las salidas “comunes”
 - Se llaman “Totem-Pole” o “Push-Pull”



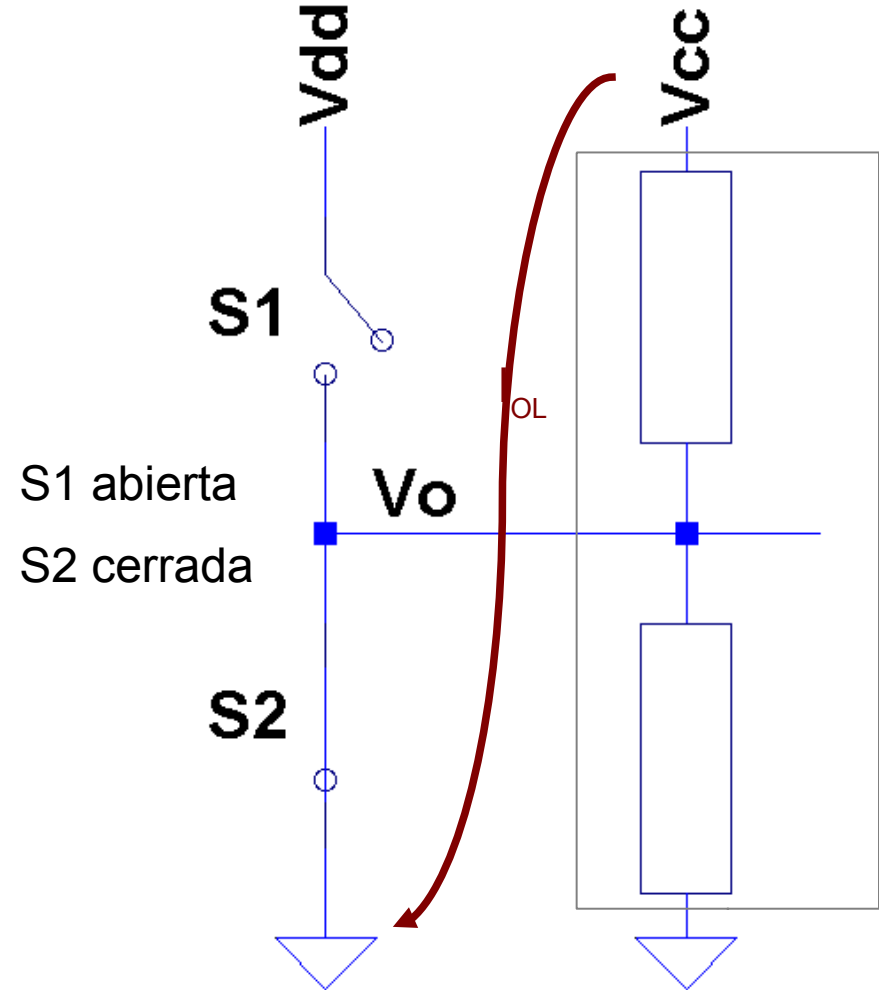
- Satura uno solo de los dos transistores de salida por vez.
- Si satura Q2, Q1 está cortado y Vo está en estado bajo.
- Si satura Q1, Q2 está al corte y Vo esté en estado alto.

Familias lógicas – Salida Totem-Pole

Aproximación con llaves



I source

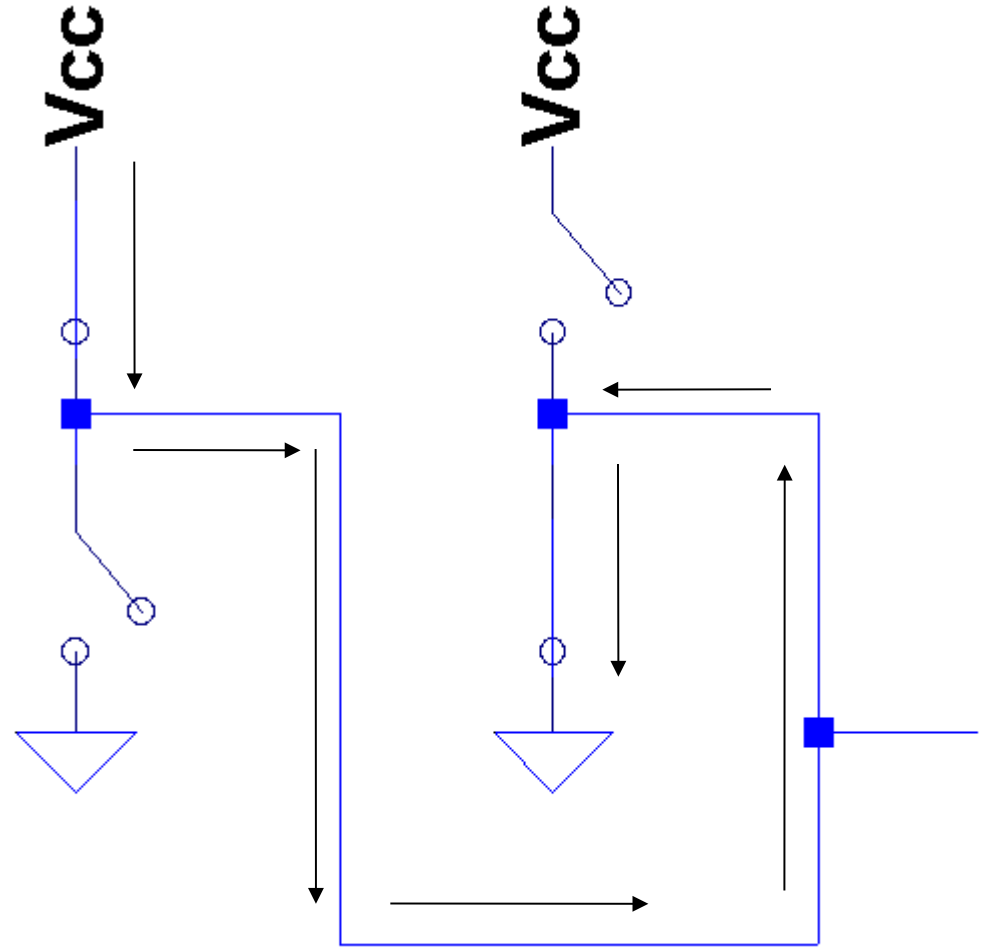
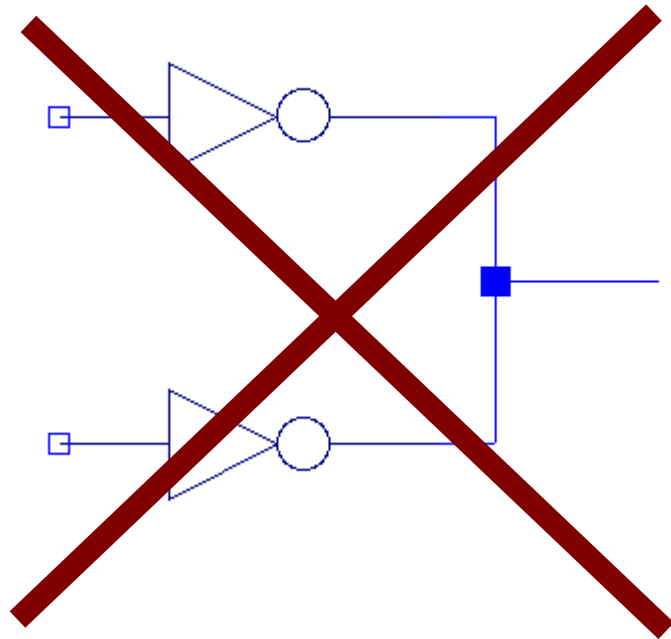


I sink

Familias lógicas – Salida Totem-Pole

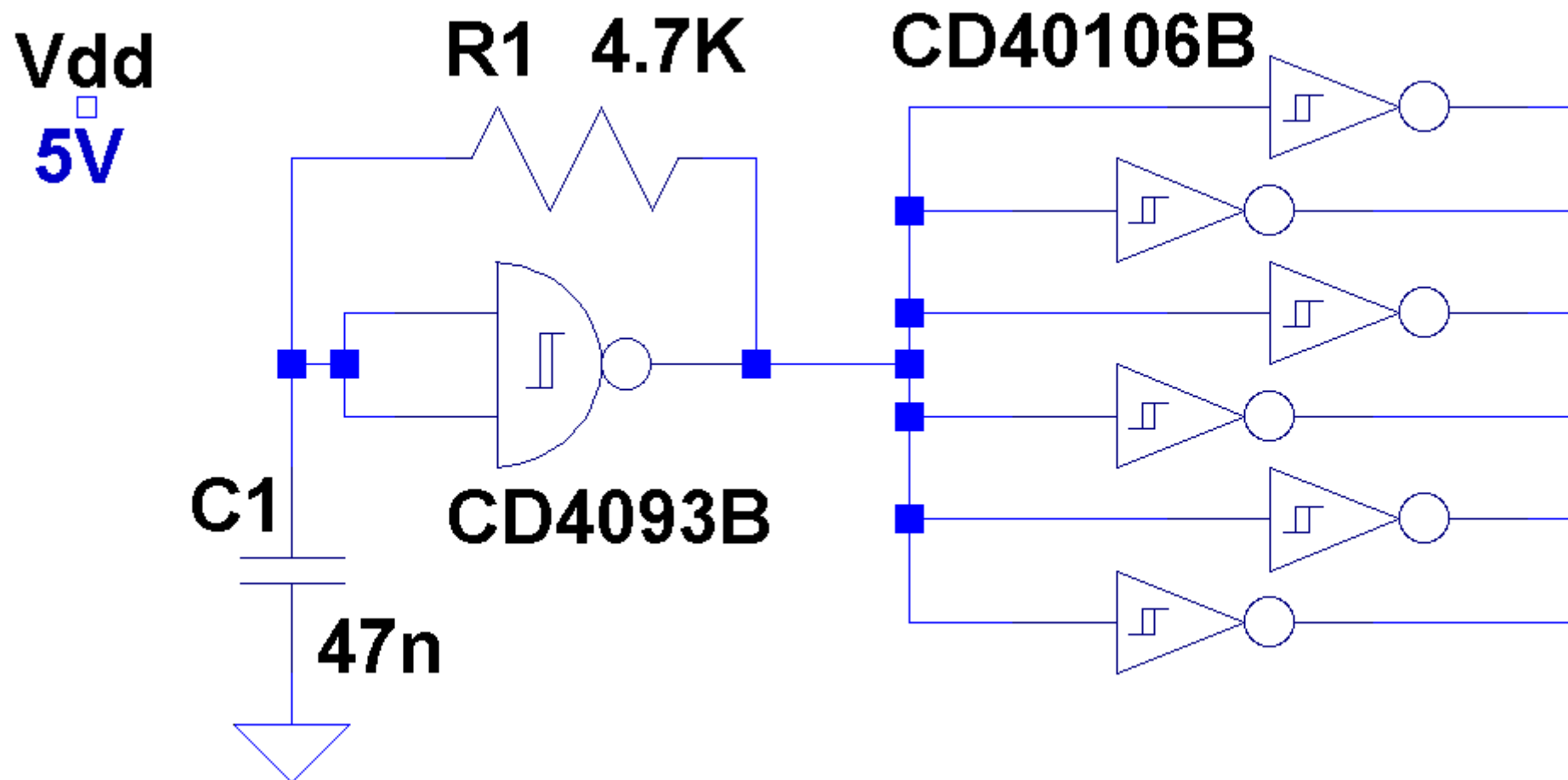
Si se unen este tipo de salidas....

Y tienen estados diferentes, es como hacer lo siguiente:



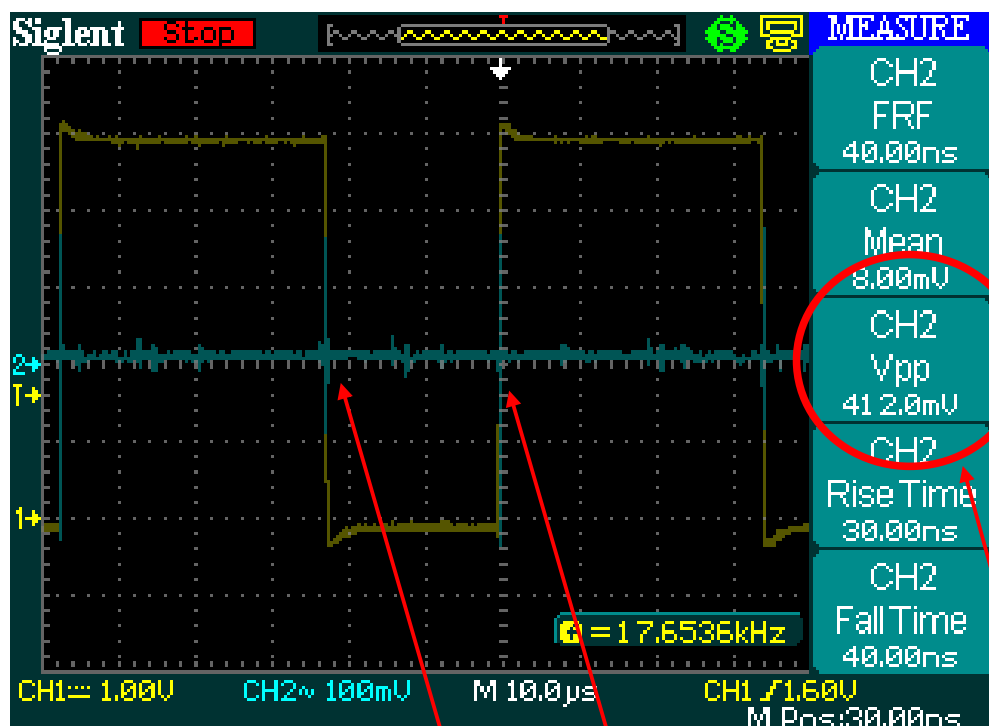
- La corriente excesiva (un cortocircuito) deteriora las salidas.
- Solo se permite una corriente de cortocircuito durante un tiempo pequeño

Familias lógicas – Salida Totem-Pole

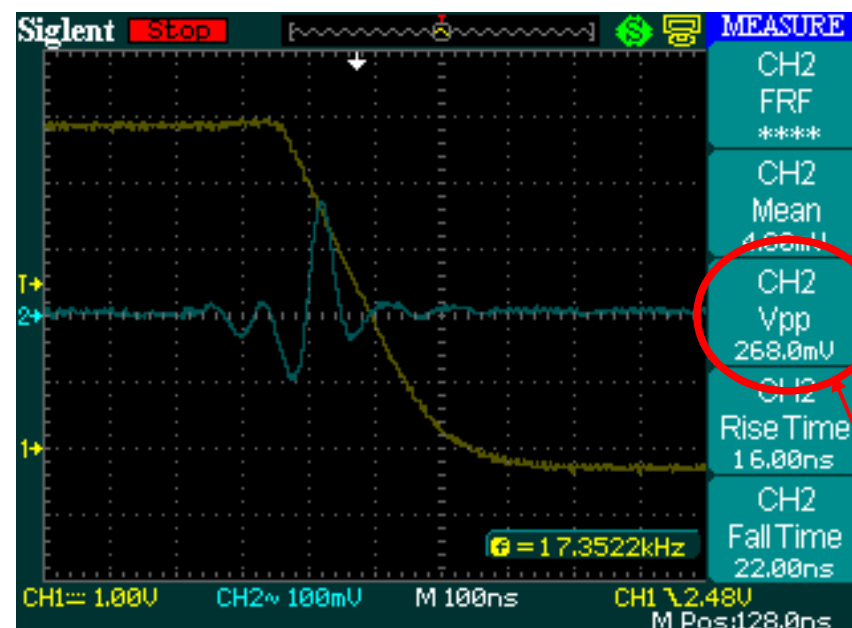
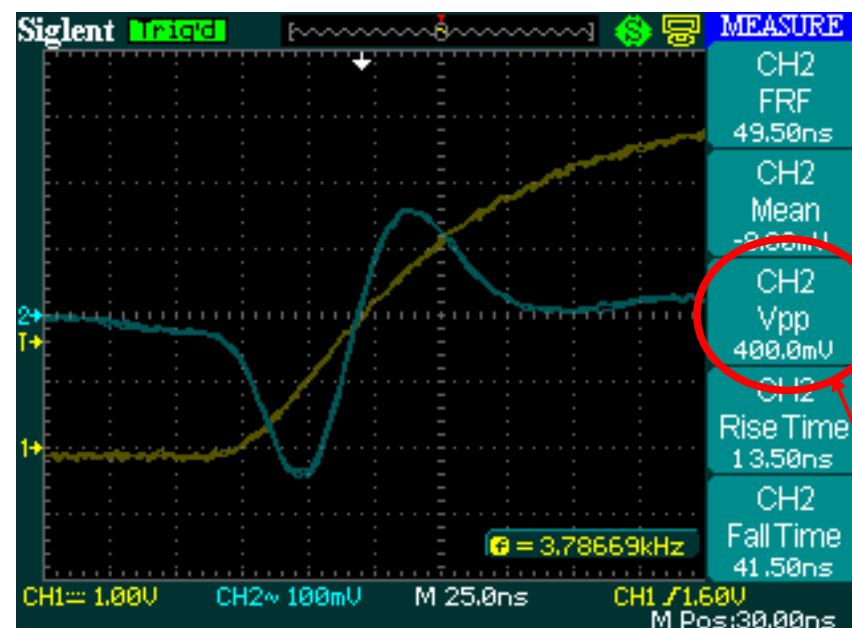


Familias lógicas – Salida Totem-Pole

Si bien nunca hay dos transistores saturados a la vez, tardan en cambiar de estado.
Y esto es lo que sucede:



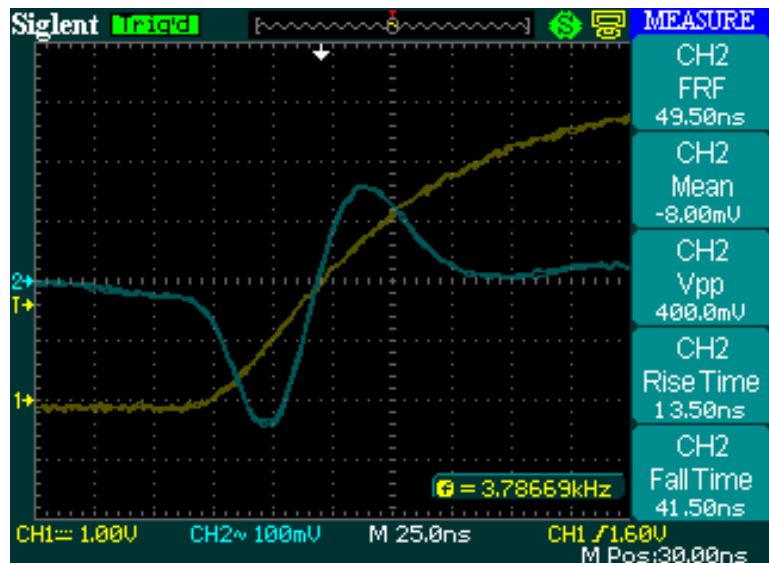
En azul (CH2) se muestra la **alimentación** (Vdd) del circuito anterior....



Familias lógicas – Salida Totem-Pole

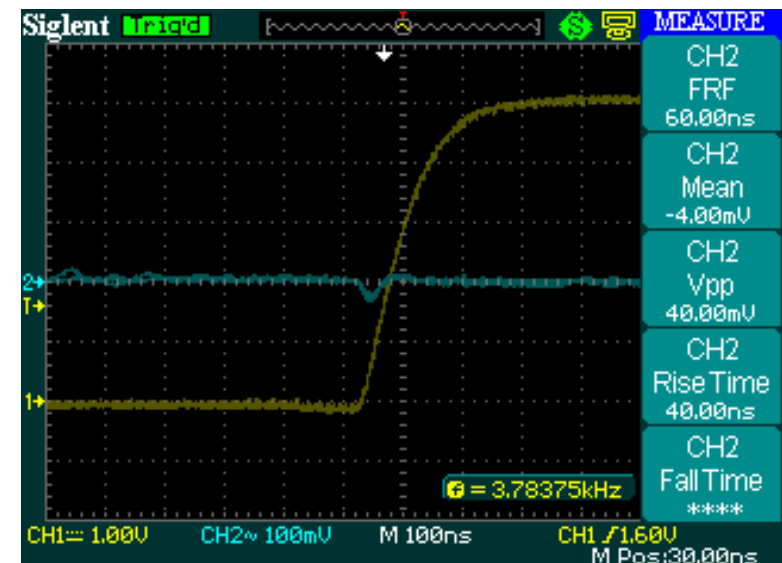
- Las perturbaciones en la alimentación **en los cambios de estado** de las salidas se deben a que los transistores tardan en pasar de corte a saturación y viceversa; en cada cambio de una salida totem-pole se produce, por un momento pequeño, un consumo elevado de corriente.
- A esto se lo llama **conducción cruzada**
- Estos picos de corriente causan alteraciones en la tensión de alimentación que pueden alterar el funcionamiento de los circuitos.

Solución: Conectar entre Vdd o Vcc y masa uno o dos capacitores (típicos 100 nF y 1 μ F) Tienen que estar **cerca** del integrado.



Con
Capacitor
100nF entre
Vdd y masa

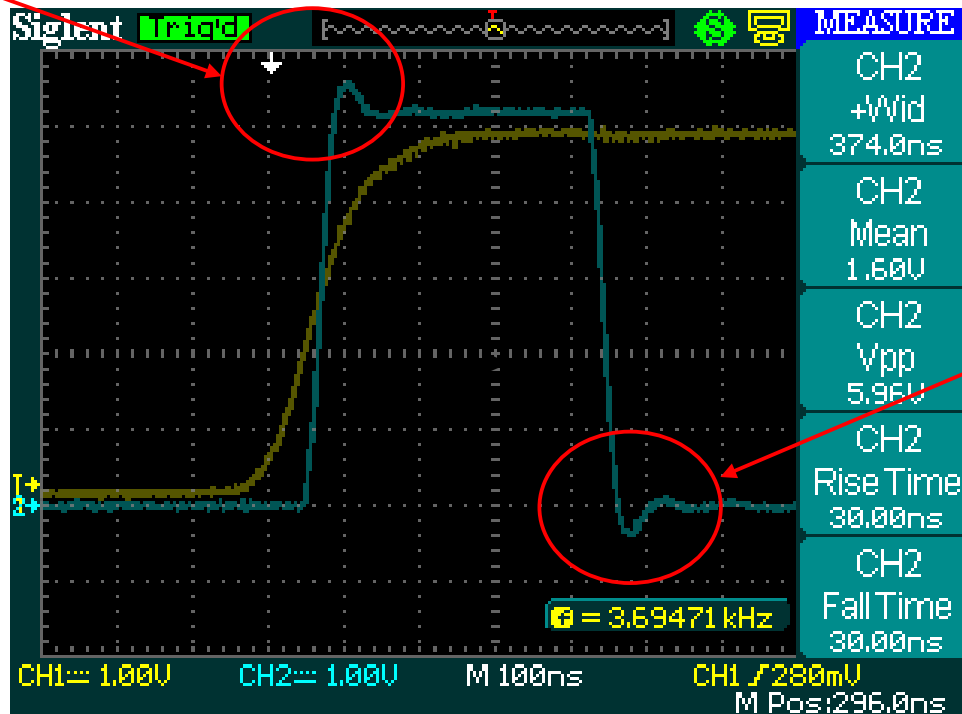
Sin
Capacitor



Familias lógicas - Salidas

Si los tiempos de subida y bajada son pequeños (cuando el cambio es rápido)...

Overshoot



- Esto se puede observar por efecto del instrumento de medición (osciloscopio, puntas, etc.)
- Medir en x10 y con “ground spring”

Undershoot

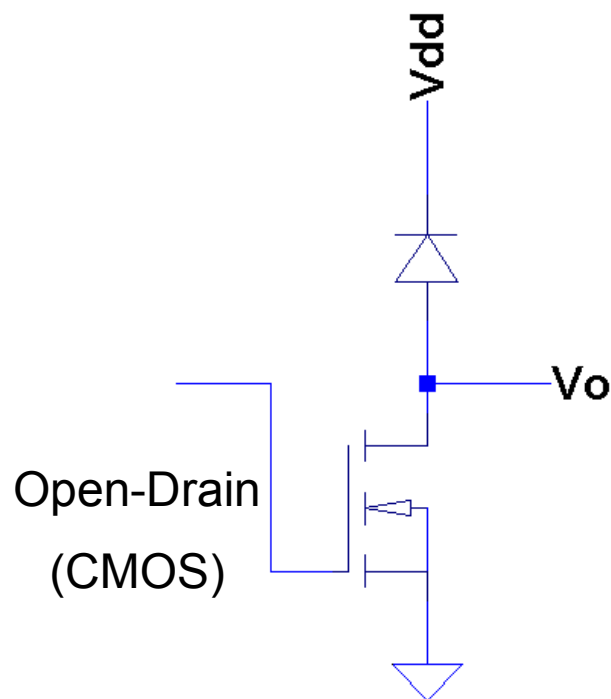
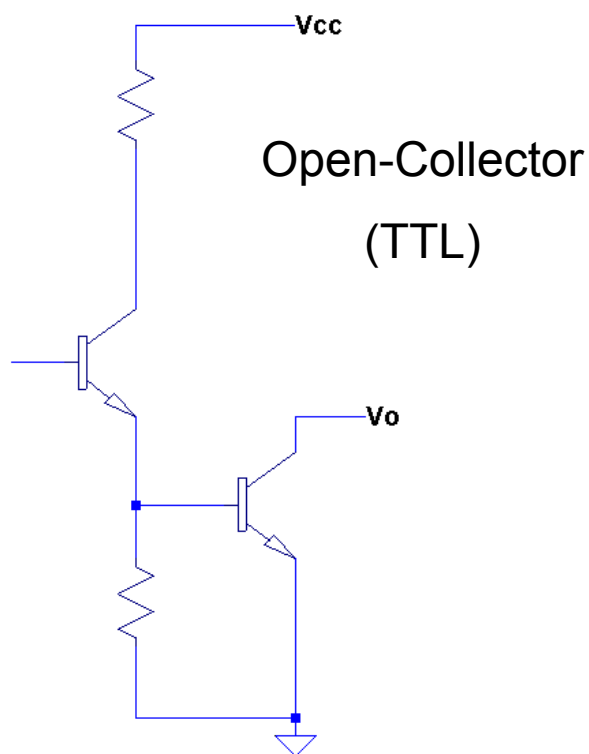
Algunas entradas tienen protección para evitar daños por esta característica.

(Ej. ver D9 en el inversor 74LS mostrado anteriormente)

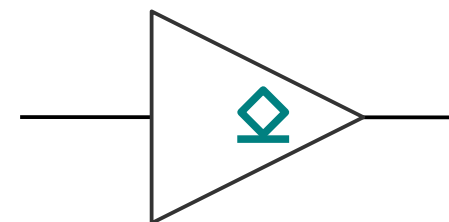
- Estas perturbaciones generan ruido, pueden deteriorar entradas de otros componentes, etc.
 - Para limitarlas se puede utilizar una R en serie con la salida.
- Algunos circuitos integrados incorporan esta R o circuitos más complejos que varían la subida o bajada de la señal en forma dinámica (según va subiendo o bajando, la van “suavizando”)
 - Varios μC tienen opciones para usar salida rápida o lenta (Ej. la línea S08)

Familias lógicas – Salida Open Collector / Open Drain

- Se elimina el transistor conectado a V_{dd} (la carga activa) de una salida totem-pole quedando el transistor conectado a masa con su colector (o drain, depende el tipo de transistor) sin conectar.



Una salida Open Collector / Drain se indentifica con:



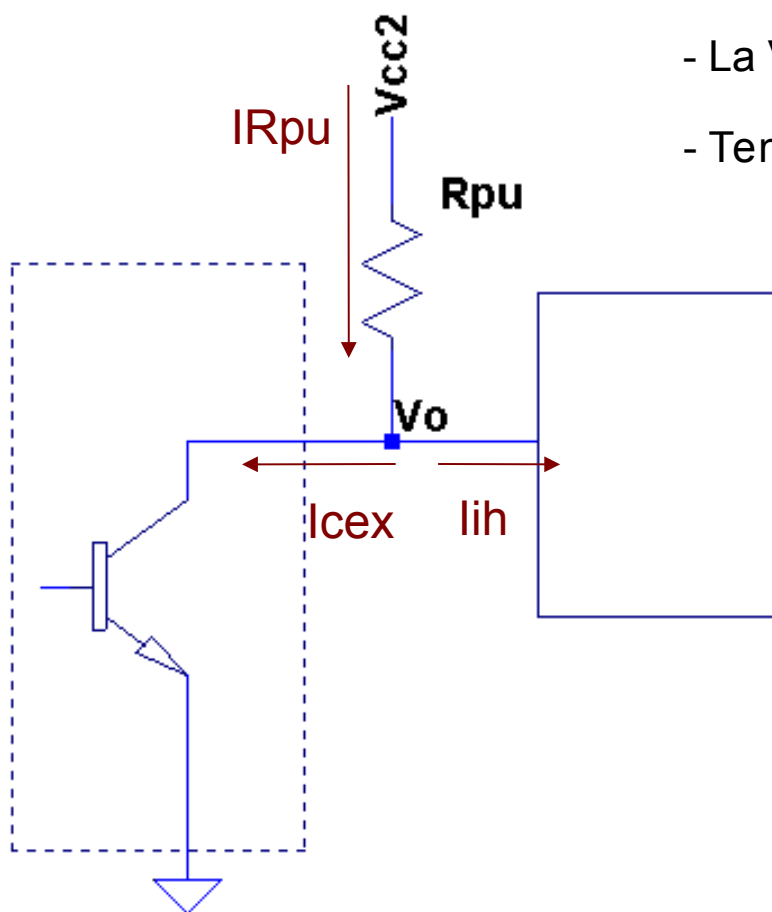
- El transistor de salida solo puede estar al corte si se conecta una carga adecuada en su colector (o drain). Con el colector “al aire” solo tiene definido el estado bajo.
- Esta carga (una R , por ejemplo) es necesaria para fijar el estado alto de la salida.

Familias lógicas – Salida Open Collector / Open Drain

Cálculo de la carga para una salida open collector / drain:

Se calcula para dos casos:

1. Estado Alto ¿La tensión en la salida es suficiente?



- La V_o es un valor que podemos elegir según convenga.

- Tenemos que asegurar que: $V_{cc2} - V_{Rpu} > V_o$

- $I_{Rpu} = I_{lh} + I_{cex}$

- Queda: $V_{cc2} - (I_{lh} + I_{cex}) \cdot R_{pu} > V_o$

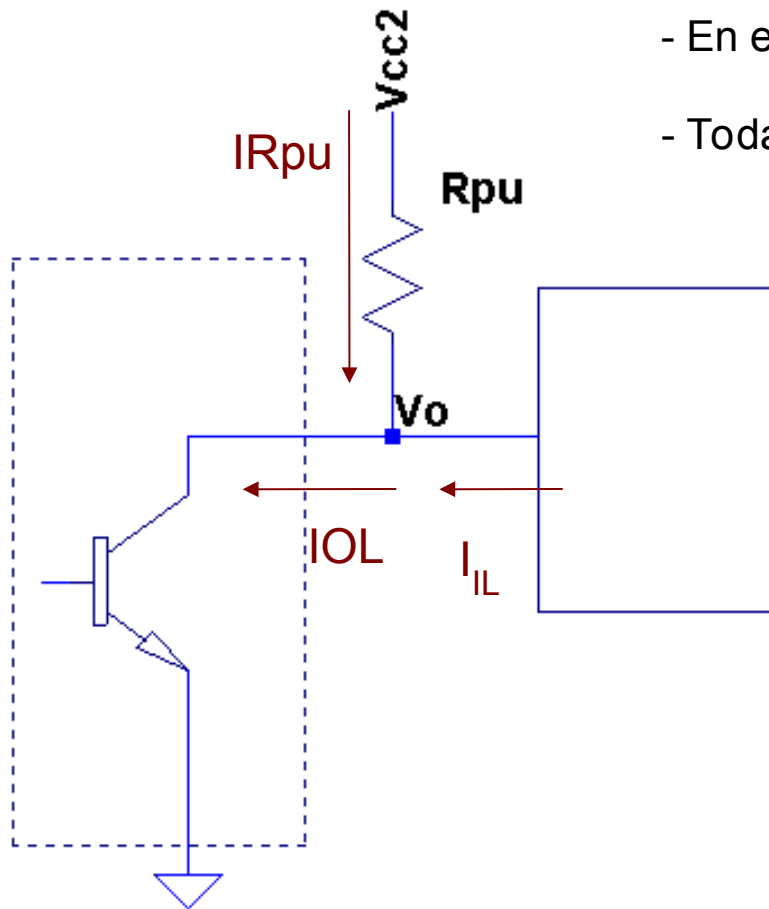
- Cuanto mayor la R , menor V_o . Estamos calculando la $R_{pu}(\text{máx})$

$$R_{pu(\text{máx})} = \frac{V_{cc2} - V_o}{I_{lh} + I_{cex}}$$

- V_{cc2} puede ser diferente a V_{cc} del integrado. Sin embargo tener en cuenta la $V_{ceo}(\text{máx})$ permitida,
- I_{cex} es la corriente de fuga entre colector y emisor con el transistor al corte

Familias lógicas – Salida Open Collector / Open Drain

2. Estado Bajo ¿La corriente a través del transistor, cuando está saturado, es excesiva?



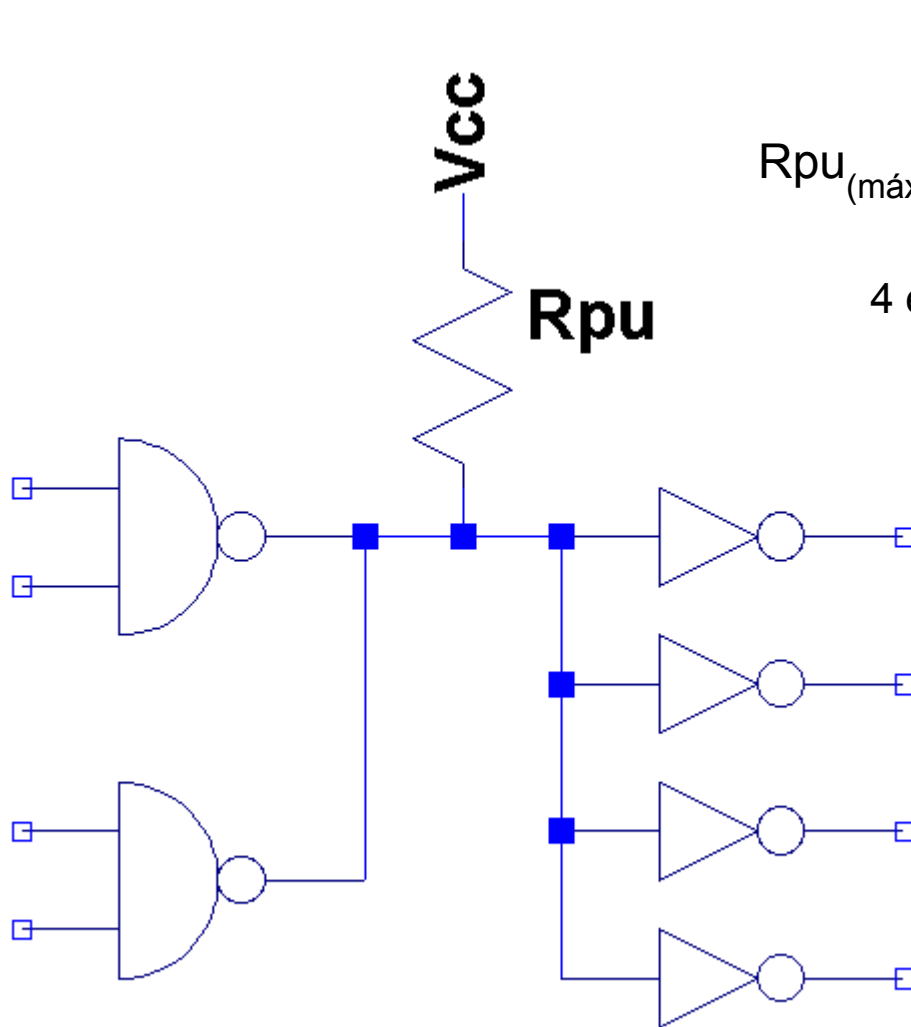
- En estado bajo el transistor satura.
- Toda la corriente de la conexión circulará a través de él.
- Hay que asegurar que: $I_{OL} < I_{OL(max)}$
- $I_{OL} = IR_{pu} + I_{il}$
- Cuanto menor la R_{pu} , mayor será IR_{pu} , y mayor la I_{OL} . Estamos calculando la $R_{pu(min)}$

$$R_{pu(min)} = \frac{V_{cc2} - V_{OL}}{I_{OL(max)} - I_{IL}}$$

- Se elige un valor de R_{pu} entre $R_{pu(min)}$ y $R_{pu(max)}$
- Para mayor velocidad, se eligen valores menores.
- Para menor consumo, valores más cercanos a $R_{pu(max)}$

Familias lógicas – Salida Open Collector / Open Drain

Ej. Calcular $R_{pu(m\acute{a}x)}$ y $R_{pu(m\acute{i}n)}$ para realizar la siguiente conexi3n:



$$R_{pu(m\acute{a}x)} = \frac{V_{cc} - V_o}{4 \cdot I_{ih} + 2 \cdot I_{cex}} = \frac{5V - 2,4V}{4 \cdot 20\mu A + 2 \cdot 100\mu A}$$

4 entradas 2 salidas

Puede ser otro valor

$$R_{pu(m\acute{a}x)} = 9285,71\Omega$$

$$R_{pu(m\acute{i}n)} = \frac{V_{cc} - V_{OL}}{1 \cdot I_{OL(m\acute{a}x)} - 4 \cdot I_{IL}} =$$

Se usa 1 salida porque es el peor caso: que toda la corriente pase por un transistor,

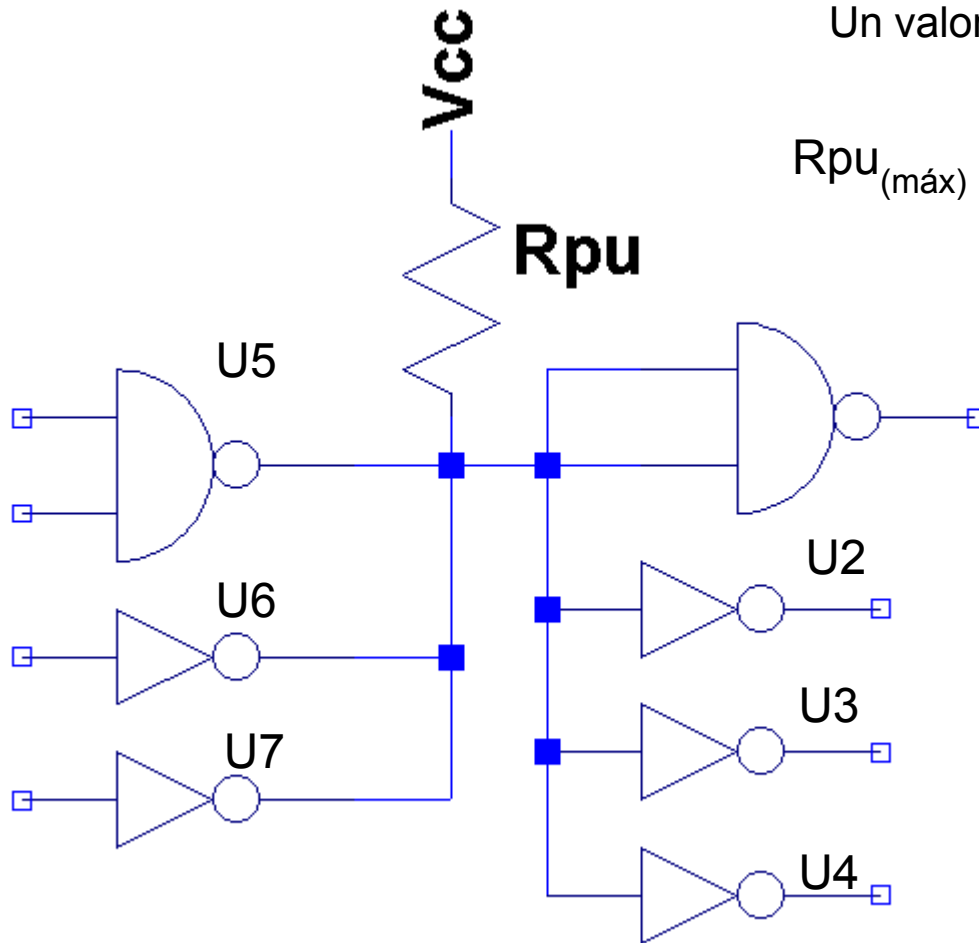
$$R_{pu(m\acute{i}n)} = \frac{5V - 0,5V}{8 \text{ mA} - 4 \cdot 0,4 \text{ mA}} =$$

$$R_{pu(m\acute{i}n)} = 703,13\Omega$$

- Todas las compuertas 74LS
- $V_{cc} = 5V$

Familias lógicas – Salida Open Collector / Open Drain

Otro ejemplo. Calcular $R_{pu}(\text{máx})$ y $R_{pu}(\text{mín})$ para realizar la siguiente conexión:



Un valor mayor a 3,5V que es la V_{ih} de 74HC

$$R_{pu_{(m\acute{a}x)}} = \frac{V_{cc} - V_o}{5 \cdot I_{ih} + 3 \cdot I_{cex}} = \frac{5V - 4V}{5 \cdot 0,1\mu A + 3 \cdot 100\mu A}$$

Cantidad de entradas, no de compuertas

$$R_{pu_{(m\acute{a}x)}} = 3327,79\Omega$$

$$R_{pu(mín)} = \frac{V_{CC} - V_{OL}}{1 \cdot I_{OL(máx)} - 5 \cdot I_{IL}} =$$

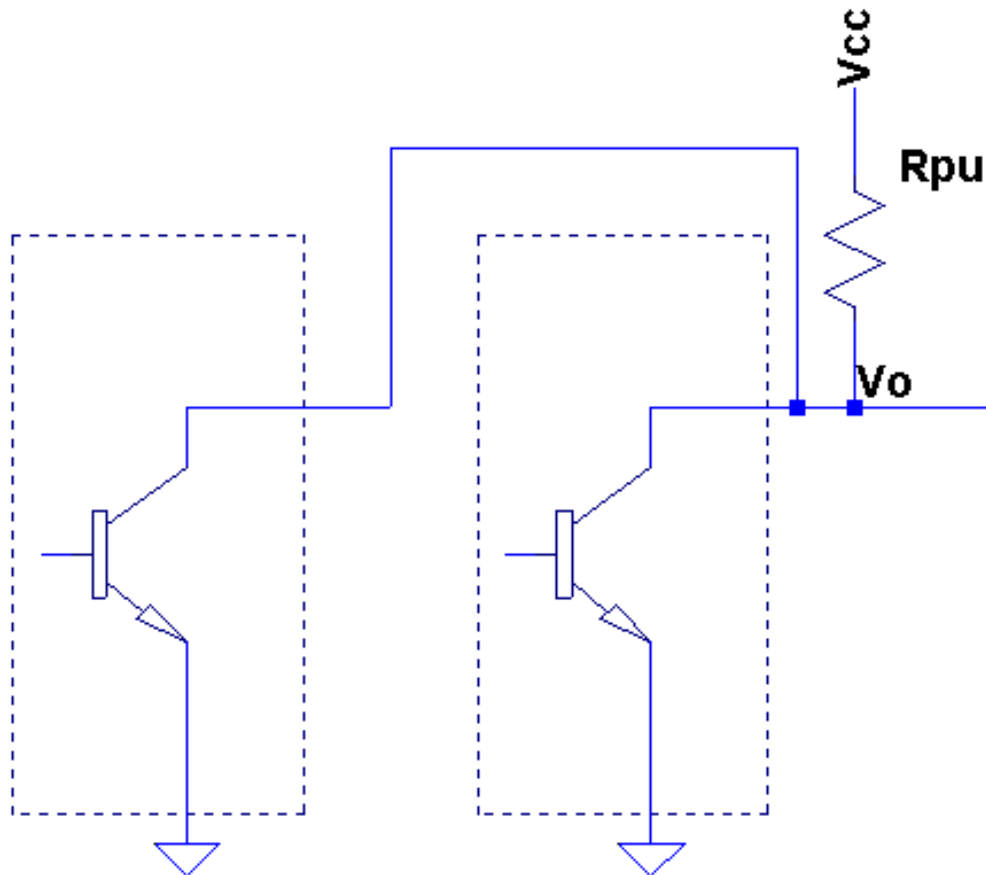
$$R_{pu_{(mín)}} = \frac{5V - 0,5V}{8 \text{ mA} - 5 \cdot 0,1 \mu A} =$$

$$R_{pu_{(mín)}} = 562,46\Omega$$

- U1 74HC – El resto 74LS
- $V_{CC} = 5V$

Familias lógicas – Salida Open Collector / Open Drain

- Como vimos en los ejemplos, este tipo de salidas **se pueden unir**.
- La unión, además, se comporta como una función lógica AND: se forma una **AND cableada** (muchas hojas de datos y manuales se refieren a esta unión en forma errónea como OR cableada)



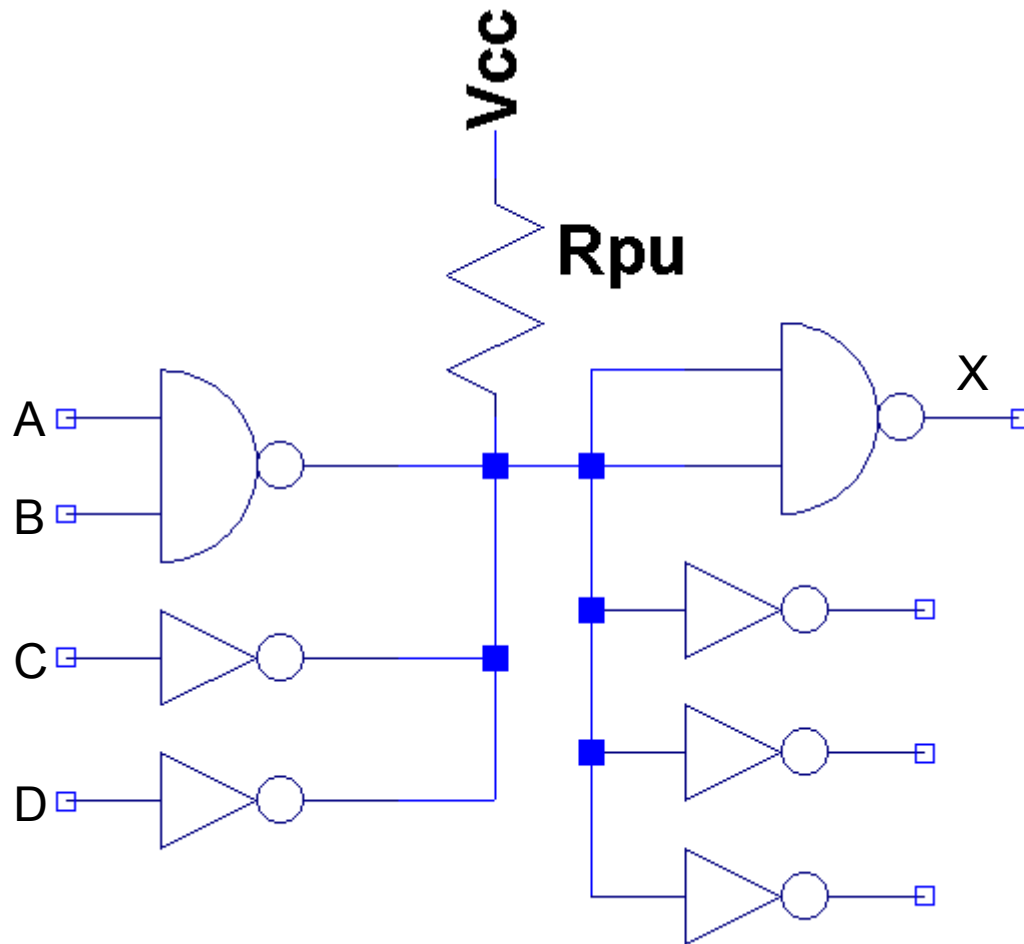
- Un transistor saturado pone V_o en estado bajo.
- Un transistor al corte hace que V_o esté en estado bajo.
- Haciendo una tabla:

S	S	L
S	C	L
C	S	L
C	C	H

- Queda la función lógica AND

Familias lógicas – Salida Open Collector / Open Drain

¿Cuál es la expresión lógica de X?

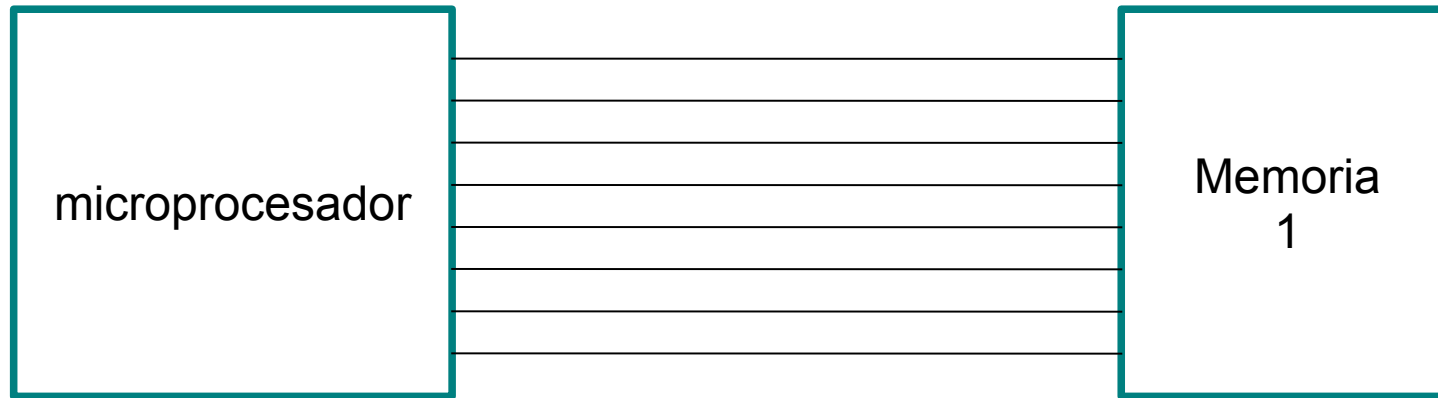


$$X = \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}$$

AND cableada

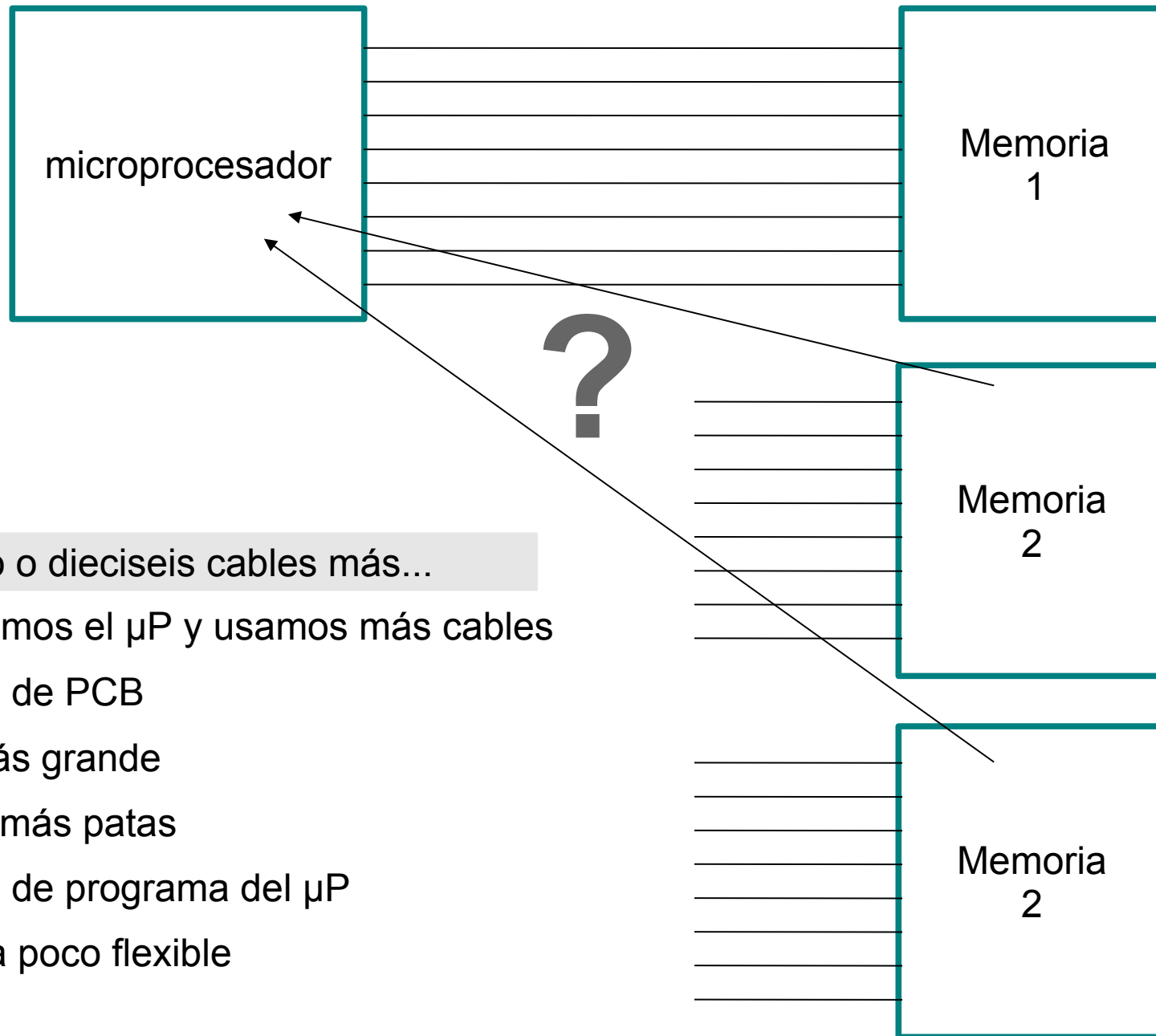
Familias lógicas – Salida Three-State

Supongamos la siguiente conexión de datos de un procesador de 8 bits con una memoria...



Si necesitamos ampliar la memoria....

Familias lógicas – Salida Three-State

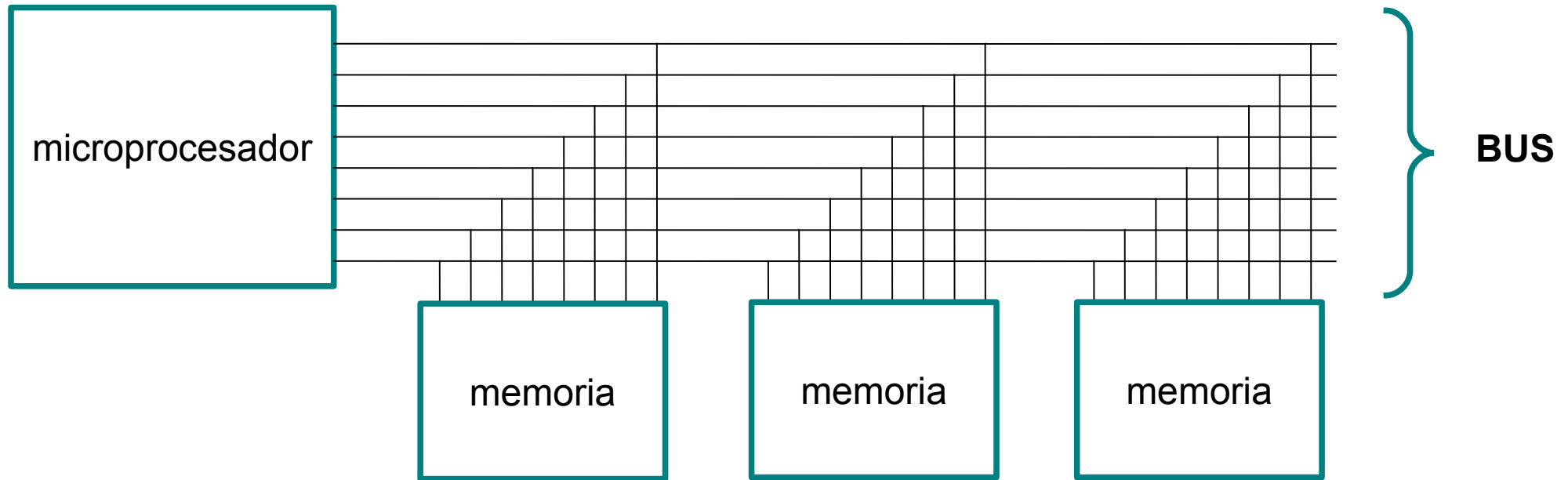


Ocho o dieciseis cables más...

Si Cambiamos el μ P y usamos más cables

- Cambio de PCB
- PCB más grande
- μ P con más patas
- Cambio de programa del μ P
- Sistema poco flexible

Familias lógicas – Salida Three-State



Usamos un **BUS**

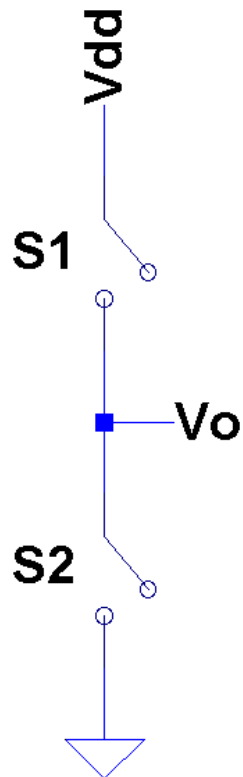
- El mismo μ P, PCB, etc. -> Sistema más flexible
- Menos conductores
- Menor costo.
- Más lento.

PERO...

- NO se pueden puentear salidas totem-pole
- Las OC sí. Son una posible solución. Son lentas! (Y hay que calcular las R_{pu} considerando cuántas “cosas” se van a conectar como máximo y como mínimo)
- Otra posibilidad -> **Salidas Three-State** (3-State, Hi-Z, Tri-State)

Familias lógicas – Salida Three-State

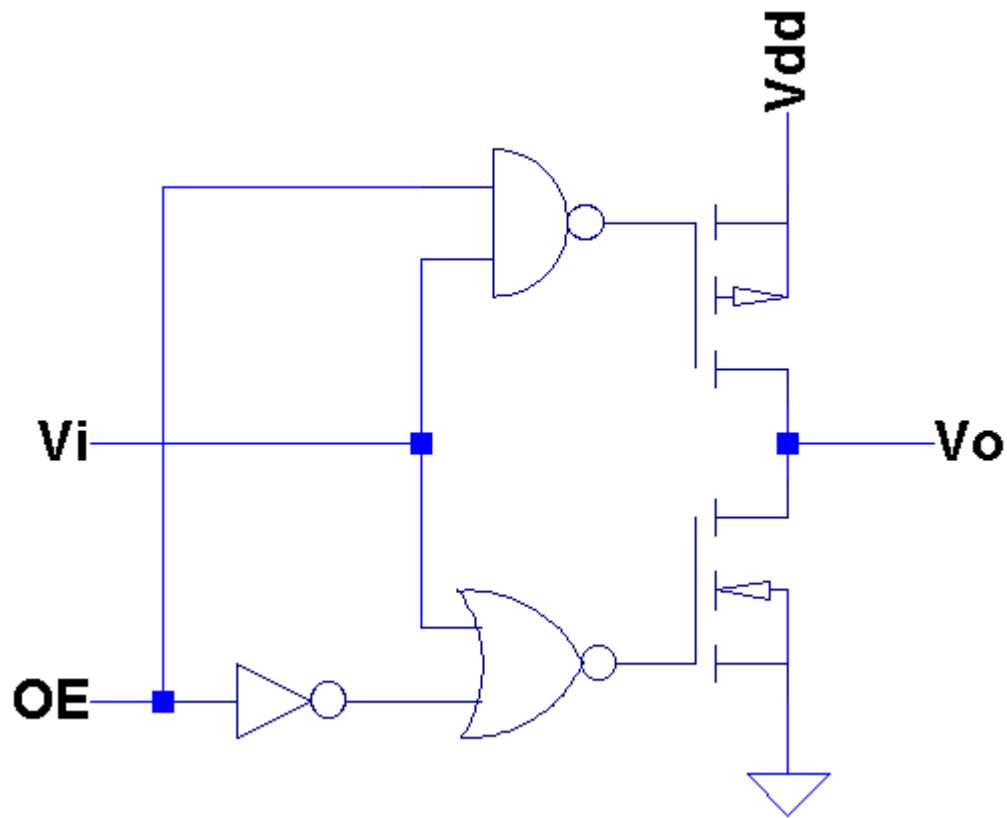
- Es similar a una salida Totem-Pole pero con la posibilidad de que ambos transistores de salida estén al corte.
- En los circuitos con estas salidas es necesario un terminal de entrada OE (Output Enable) adicional que permite seleccionar entre modo de trabajo “normal” (como una totem-pole) o en este tercer estado (Alta impedancia, Hi-Z)
 - Se pueden interconectar las salidas pero **solo una** debe estar **activa por vez**.



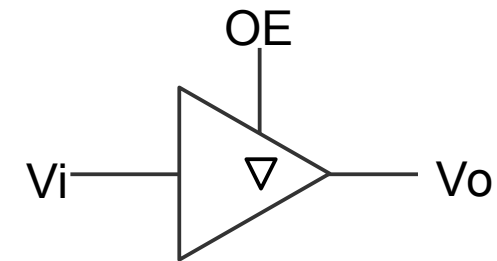
- “Tercer estado” esquematizado con llaves: ambas abiertas.
- La salida queda “flotando”. Como si se retirara del circuito.
- NO hay estado lógico definido.
- La impedancia de salida es muy alta (Hi-Z)
- La lo es nula (en la realidad existe una corriente de fuga)

Familias lógicas – Salida Three-State

Ej. Buffer NO inversor CMOS con salida Three-State y habilitación activa por estado ALTO



OE	V_i	V_o
0	X	Hi-Z
1	0	0
1	1	1



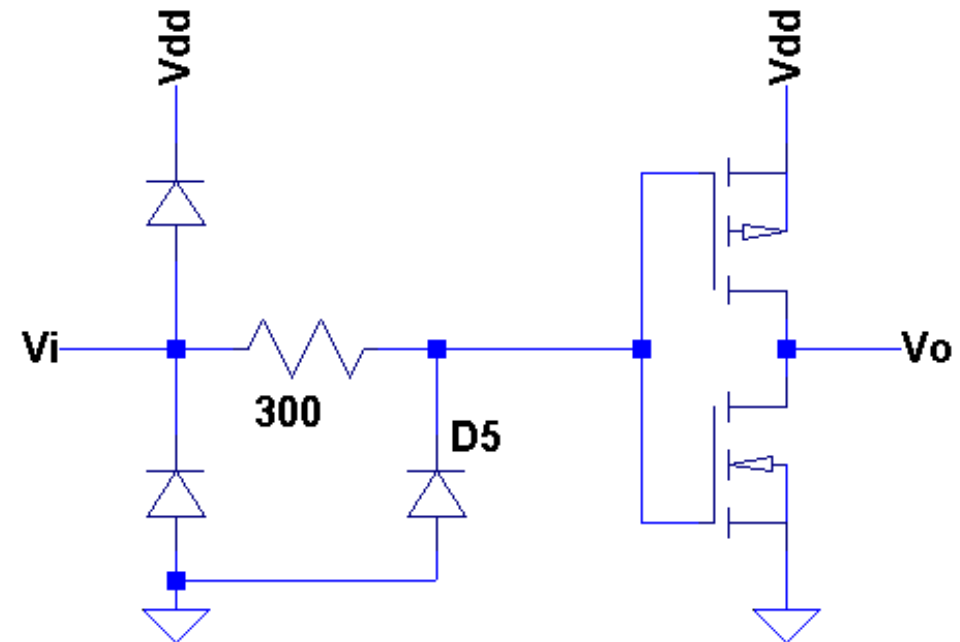
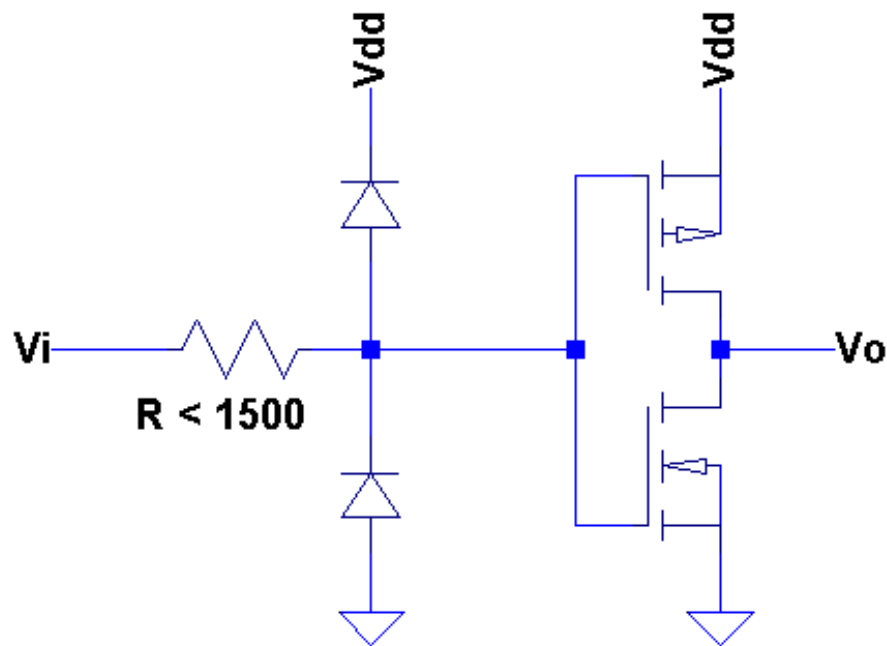
▽ → En ocasiones se utiliza para indicar salida Three-State

Familias lógicas

Entradas

Familias lógicas – Entradas CMOS

- Los dispositivos CMOS son **sensibles** a las descargas **electroestáticas (ESD)**
 - Para evitar daños se disponen protecciones en entradas como las que se muestran abajo (También se colocan en las salidas)
- Si se esperan transitorios, descargas, etc. conviene disponer protección extra.
 - Ver hojas de datos para límites de corriente y tensión de los diodos.

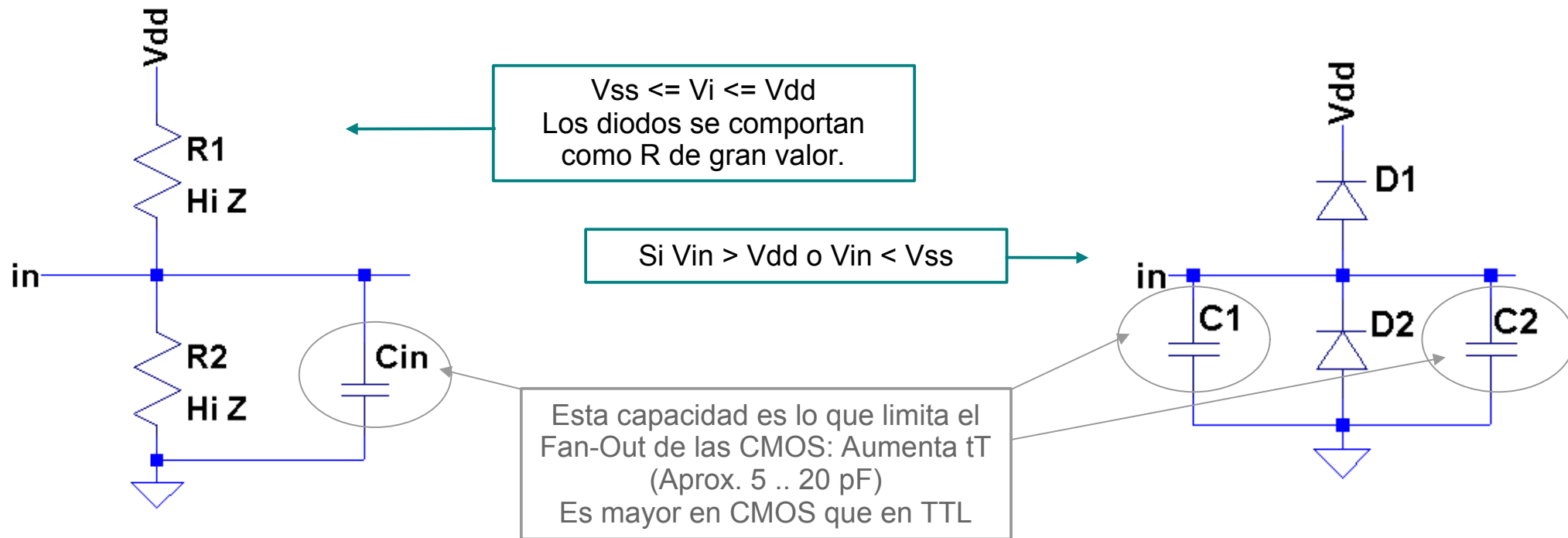


Inversor CMOS (4000) mostrando la protección de la entrada. Con dos diodos (izq.) y tres diodos (der.)

Familias lógicas – Entradas CMOS

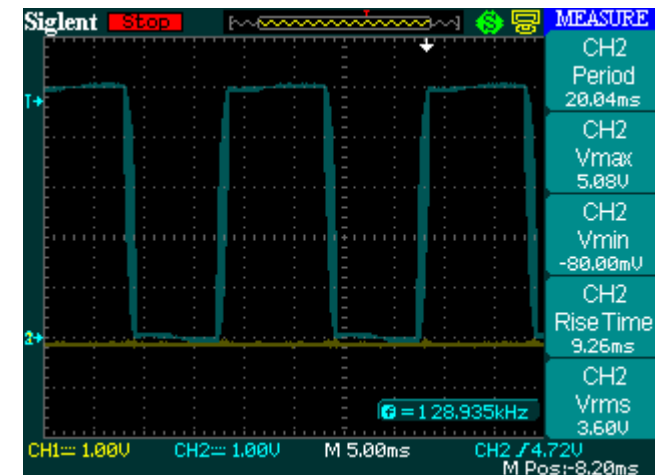
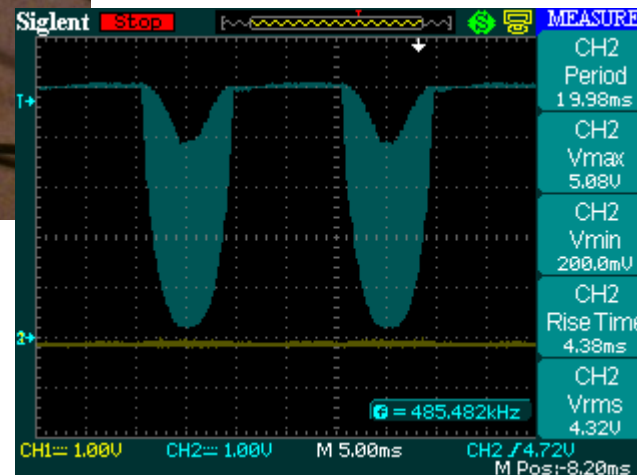
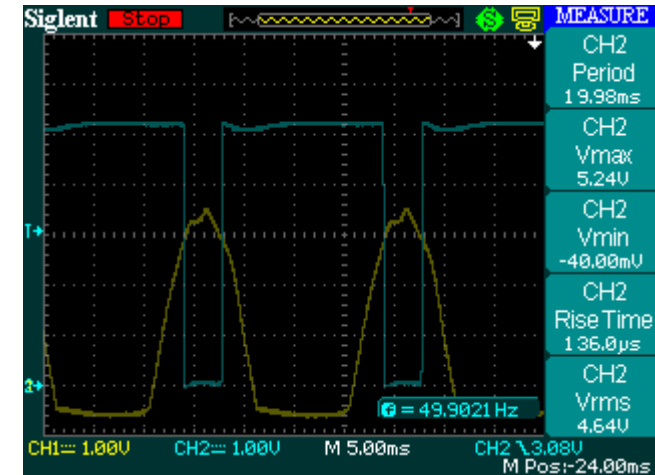
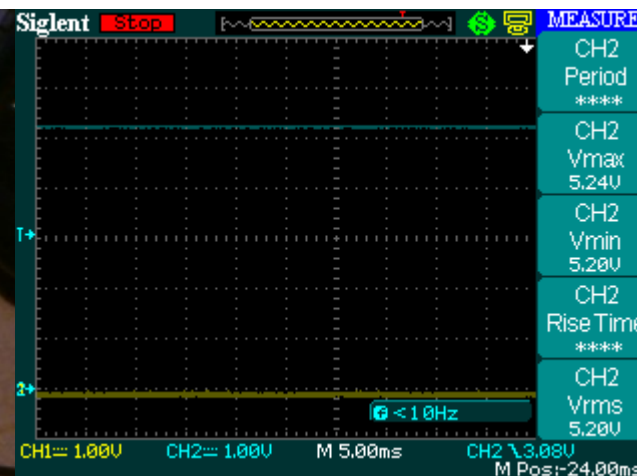
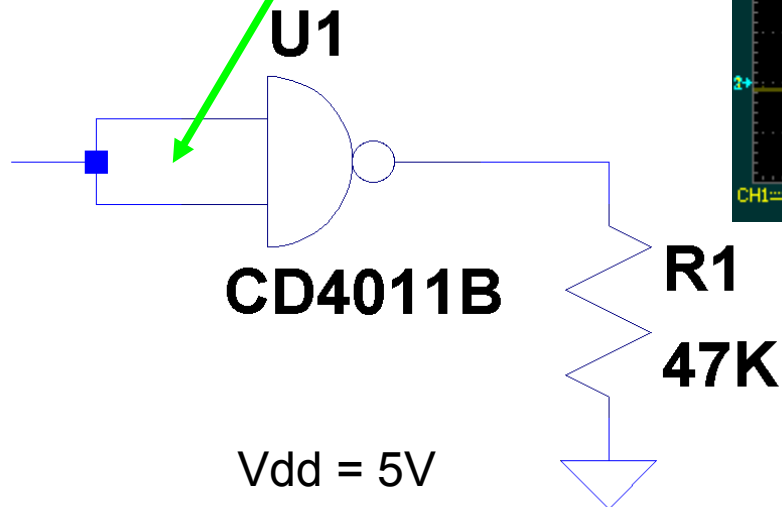
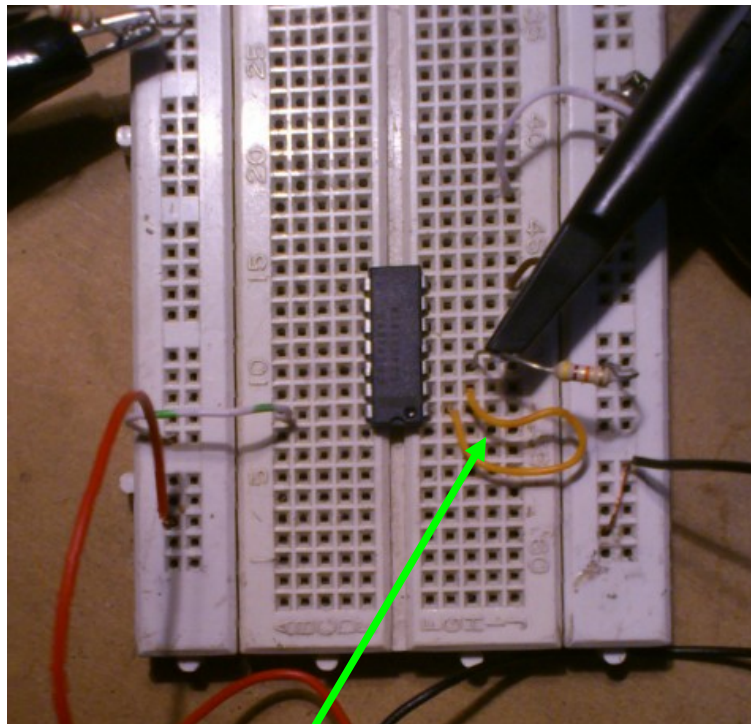
- Modelo de las entradas CMOS:

Las I_i en CMOS son nulas (idealmente). En las hojas de datos se muestran como “I leakage” (I fuga)



- En los circuitos anteriores si la entrada no se conecta, los gates de ambos MOSFET quedan aproximadamente a $V_{dd}/2$; valor que NO está dentro de los valores “permitidos” de entrada. Ambos transistores conducen, creando una R relativamente baja entre V_{dd} y V_{ss} .
- Si las entradas no están dentro de un valor garantizado para estado Hi o Lo, dependiendo del circuito y demás condiciones, a la salida se pueden observar oscilaciones, consumo excesivo, etc.

Familias lógicas – Entradas CMOS



¿Qué oscilograma corresponde al circuito de la izquierda?

CH1 (amarillo) entrada – CH2 (celeste) salida

Familias lógicas – Entradas CMOS

- Los cuatro oscilogramas corresponden al mismo circuito.
- El de arriba a la derecha, es el único que tiene una “entrada” (se le acercó una fuente de ruido a unos 10 cm aproximadamente)



- Es inaceptable que un circuito lógico adopte un comportamiento aleatorio.
- Y peor es que este comportamiento, además, sea variable según el entorno, tiempo, condiciones de conexión, etc...

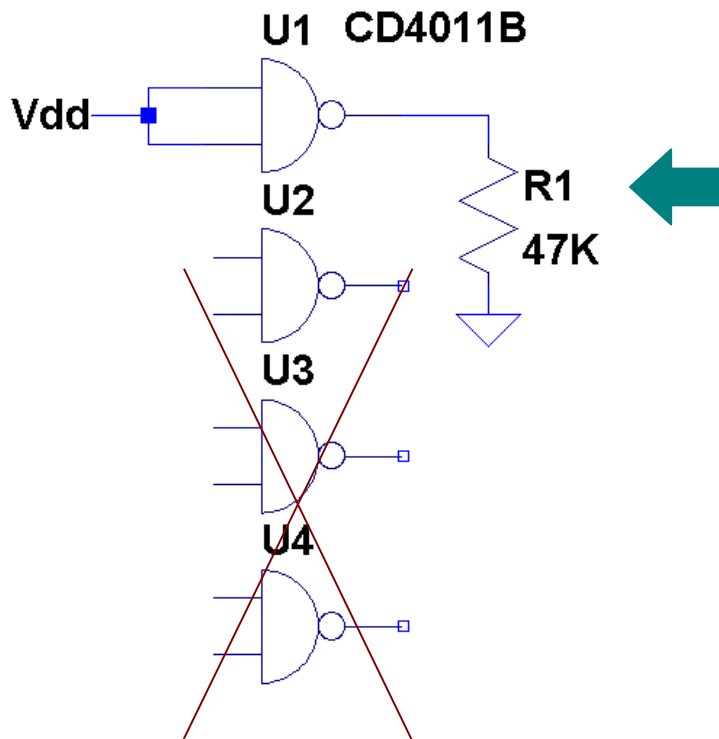
- Las entradas de circuitos integrados digitales (y de muchos otros dispositivos, incluso de transistores)

**NO deben dejarse sin conectar a un nivel lógico válido
(NO DEJARLAS AL AIRE)**

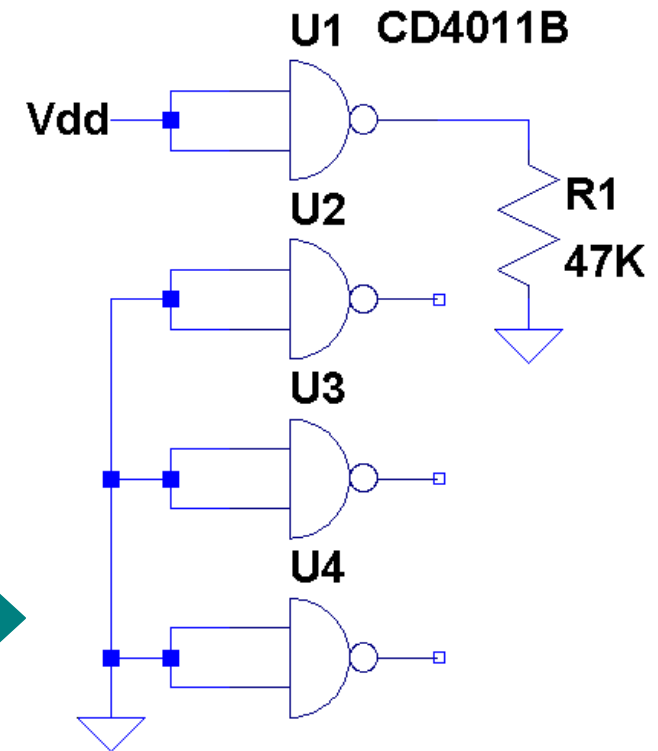
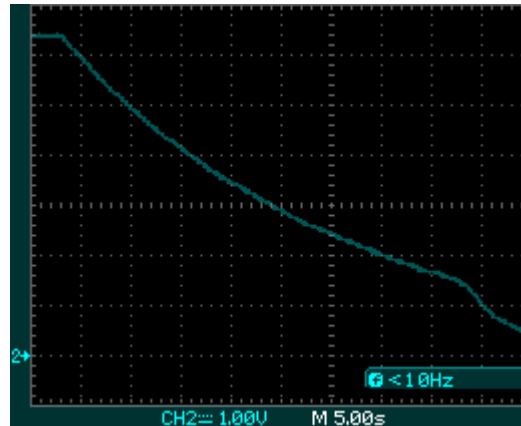
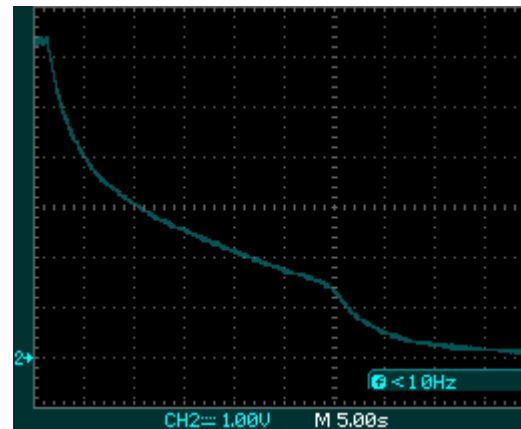
Familias lógicas – Entradas CMOS

¿Y con las secciones que quedan sin usar en un circuito integrado?

- El circuito mostrado tiene las 2 entradas de las 3 NAND que no se usan sin conectar; podríamos tener transiciones en estas 3 salidas, lo que puede ocasionar ruido en Vdd y **mayor consumo de energía** que el esperado. (ver conducción cruzada)



(Se muestra en los oscilogramas la tensión de un capacitor de 470 µF que proporciona la Vdd al circuito, en función del tiempo.)

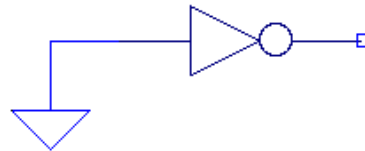
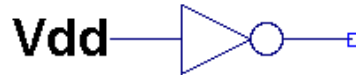


Si son entradas, hay que conectarlas a un nivel lógico válido

Familias lógicas – Entradas CMOS

Cómo conectar entradas...

1. A Vdd o Vss directamente.



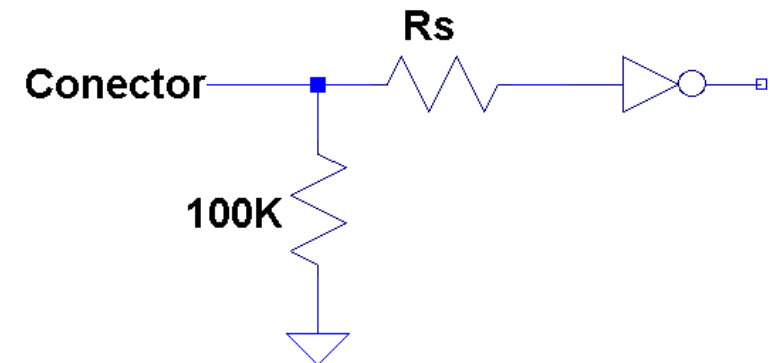
2. Usar una R si se espera ruido en Vdd o Vss:

$$R_{\text{máx}} = \frac{(V_{\text{dd}} - V_{\text{ih}})}{I_{\text{IH}}}$$

$$R_{\text{máx}} = \frac{V_{\text{il}}}{I_{\text{IL}}}$$

(Como I_{I} en CMOS son muy pequeñas, la $R_{\text{máx}}$ es muy grande. Cuanto más grande, más parecido a circuito abierto... más de 1 Mohm es como dejar la entrada al aire)

3. Si la entrada va a quedar expuesta (al exterior) en un conector, pines, etc.:
Para proteger contra ESD



Propagation Delay and Rise Time vs. Series Resistance

$$R \approx \frac{t}{C \cdot k}$$

where:

R = the maximum allowable series resistance in ohms

t = the maximum tolerable propagation delay or rise time in seconds

C = the board capacitance plus the driven input capacitance in farads

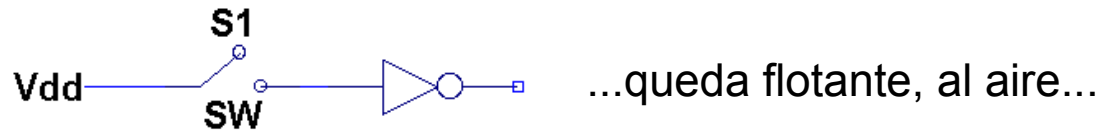
k = 0.7 for propagation delay calculations

k = 2.3 for rise time calculations

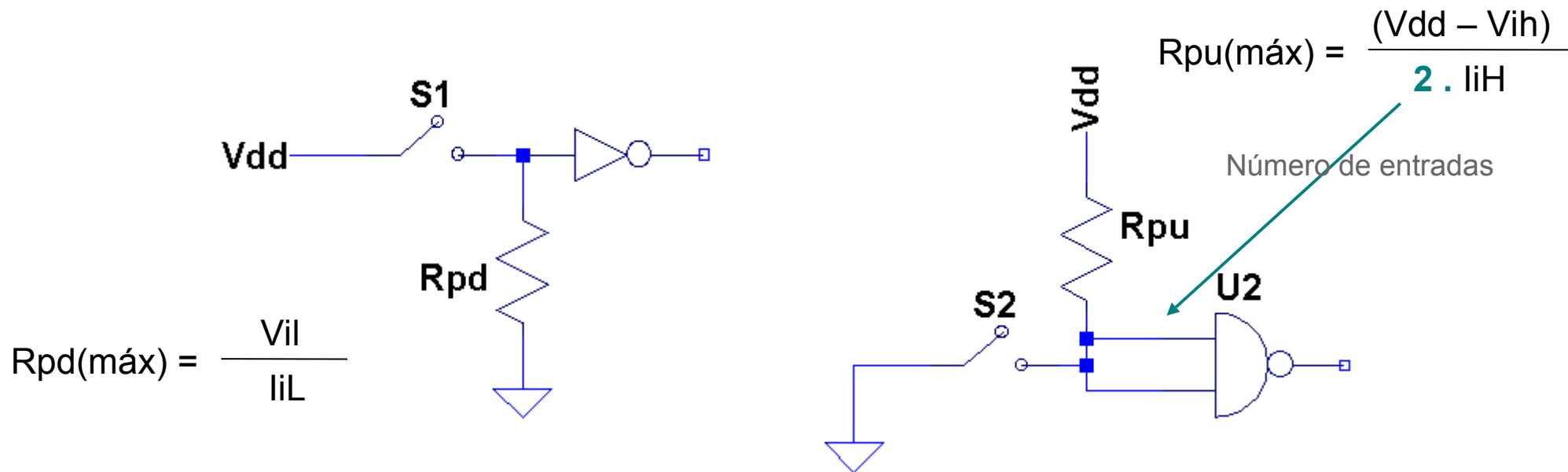
Familias lógicas – Entradas CMOS

Cómo conectar entradas (cont.)

- Hay que considerar que si conectamos una entrada a un pulsador o llave así:



- Hay que colocar una R para fijar un nivel lógico cuando la llave o pulsador esté abierto.
- A la R para fijar nivel alto se la llama R pull-up.
- La que se utiliza para fijar un nivel bajo se llama R pull-down.
- Su valor máximo se calcula como se indicó en el punto (2) del slide anterior:



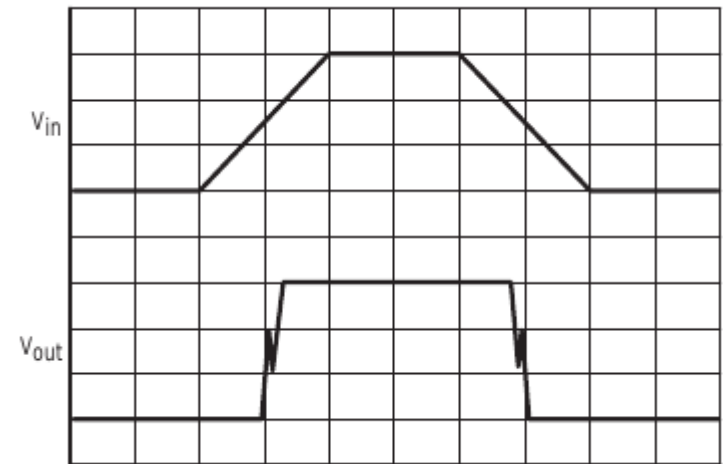
Familias lógicas – Entradas CMOS

- En “Características estáticas” se mencionó una zona de valores de tensión de entrada que no se garantizan como estado alto o bajo (Zona de incerteza)
- Sin embargo, cuando hay un cambio de estado en una entrada, la señal atraviesa ese rango de valores.



Hay tiempos máximos para que la señal en una entrada permanezca en la zona de incerteza -> Se indican como t_r (rise) y t_f (fall)

- Durante el pasaje por la zona de incerteza, pueden producirse oscilaciones.
- Si la transición H -> L o L -> H es lenta, esas oscilaciones pueden ser suficientes para hacer cambiar de estado la(s) salida(s) siguientes.
- Las señales con cambios lentos no son aptas para estas entradas.



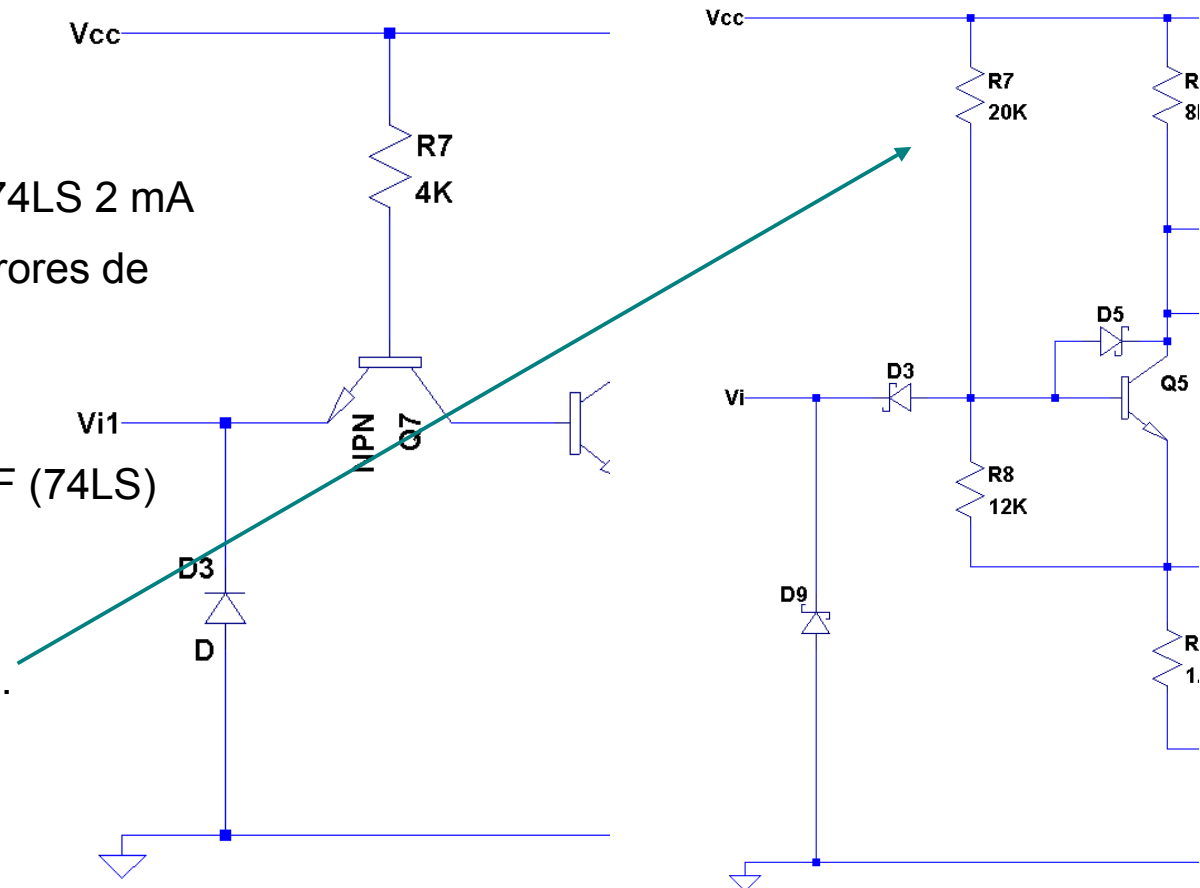
En las hojas de datos se indican estos tiempos (Ej. 4000B a 5V máx. 15 μ s, 74HC a 4.5V 500 ns)

(Gráfico: Fuente On Semiconductor)

Familias lógicas – Entradas TTL

- Los dispositivos TTL son menos sensibles a ESD que los CMOS
- Pero son muy sensibles a tensiones por encima de V_{cc} (5V en TTL) y debajo de 0V.
- El diodo D9 del inversor mostrado abajo limita la tensión menor a 0V
- Si se esperan señales que varían por encima de V_{cc} o debajo de 0V conviene disponer protección extra.

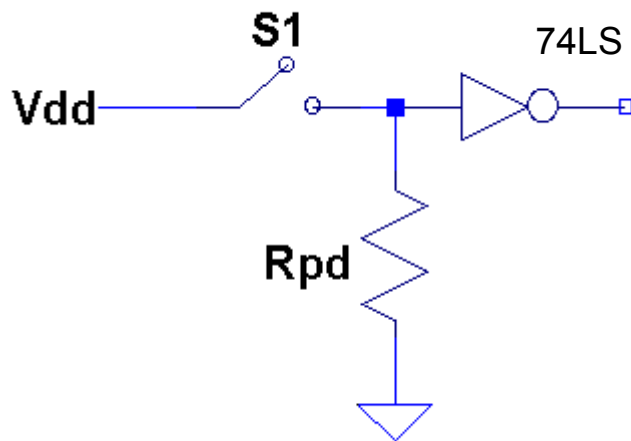
- La V_i máxima de un 74N es de 5,5V
- La V_i máxima de un 74LS es de 7V
- No está diseñado para uso continuo (Ej. 74LS 2 mA durante más de 500 ns puede producir errores de lógica)
- Consultar hojas de datos.
- La capacidad de entrada C_i es aprox. 5 pF (74LS)
- Si V_i no se conecta, R7 hace de Pull-Up...



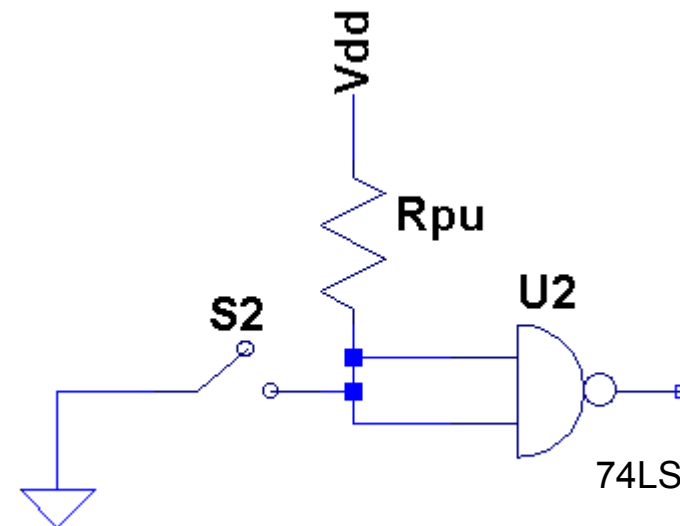
Familias lógicas – Entradas TTL

- Si bien una entrada TTL al aire está en estado alto por su circuito interno (ver anterior) se recomienda fijar un estado lógico ALTO en las entradas no utilizadas para mejorar la inmunidad al ruido y la velocidad de operación.
- Para proteger las entradas de transitorios, pueden necesitar conectar a Vcc mediante una R (típica 1K) – Los 74LS no necesitan esta R porque soportan > 7V
- Las consideraciones y cálculos para las R de pull-up y pull-down son similares a las vistas solo que al ser las I_i de los TTL muchísimo mayores que las de los CMOS, las R son menores.

$$R_{pd}(\text{máx}) = \frac{V_{il}}{I_{iL}} = \frac{0.8V}{0.4 \text{ mA}} = 2000 \Omega$$



$$R_{pu}(\text{máx}) = \frac{(V_{dd} - V_{ih})}{2 \cdot I_{iH}} = \frac{(5V - 2V)}{2 \cdot 0.1 \text{ mA}} = 30 \text{ K}\Omega$$



Familias lógicas – Entradas Schmitt-Trigger

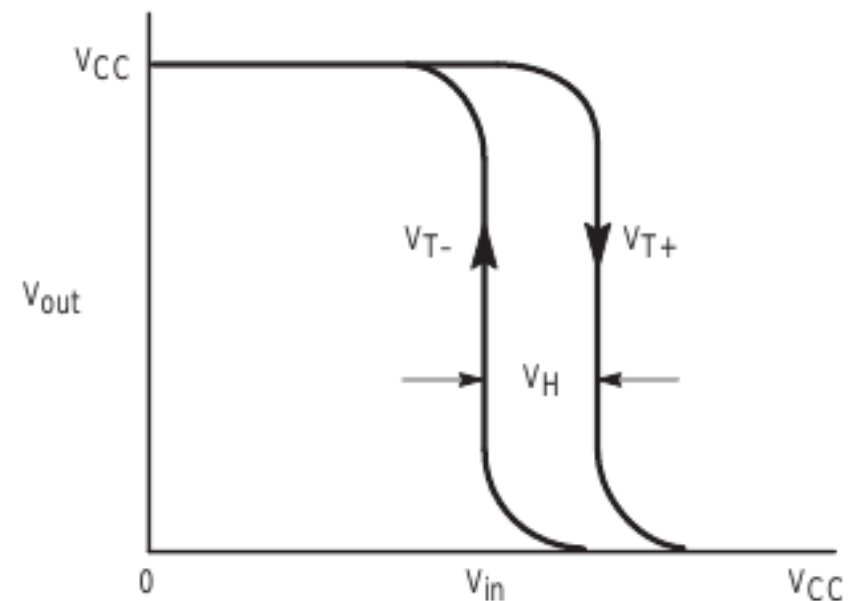
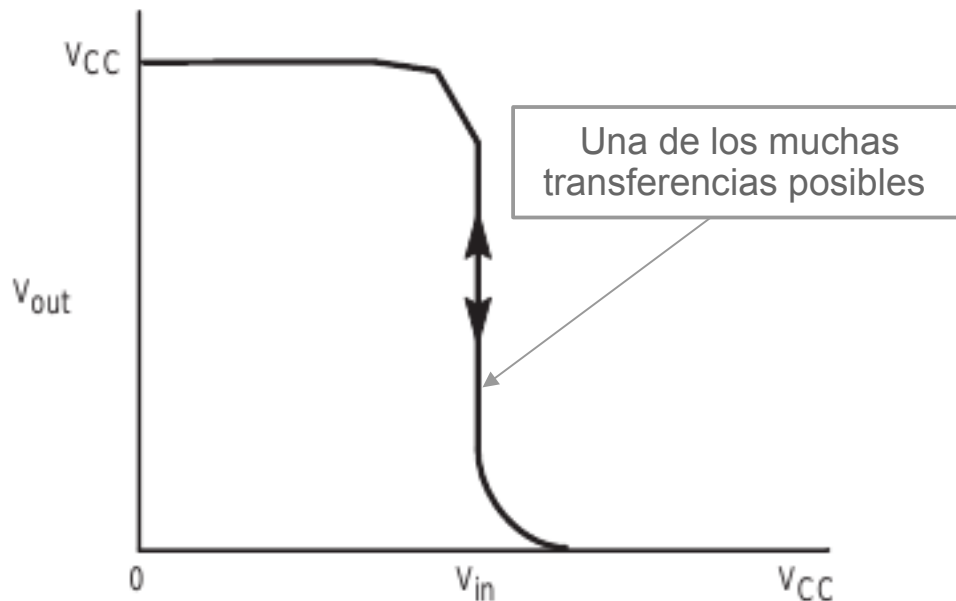
- Las entradas convencionales responden mal a señales con tiempos de subida o bajada largos.
- Y pueden funcionar mal con tensiones en la zona de incerteza.



- Las entradas Schmitt-Trigger **no tienen zona de incerteza**.
- Funcionan bien con señales con transiciones lentas.

En lugar de V_{IH} y V_{IL} tienen dos valores de transición: V_{T+} y V_{T-}

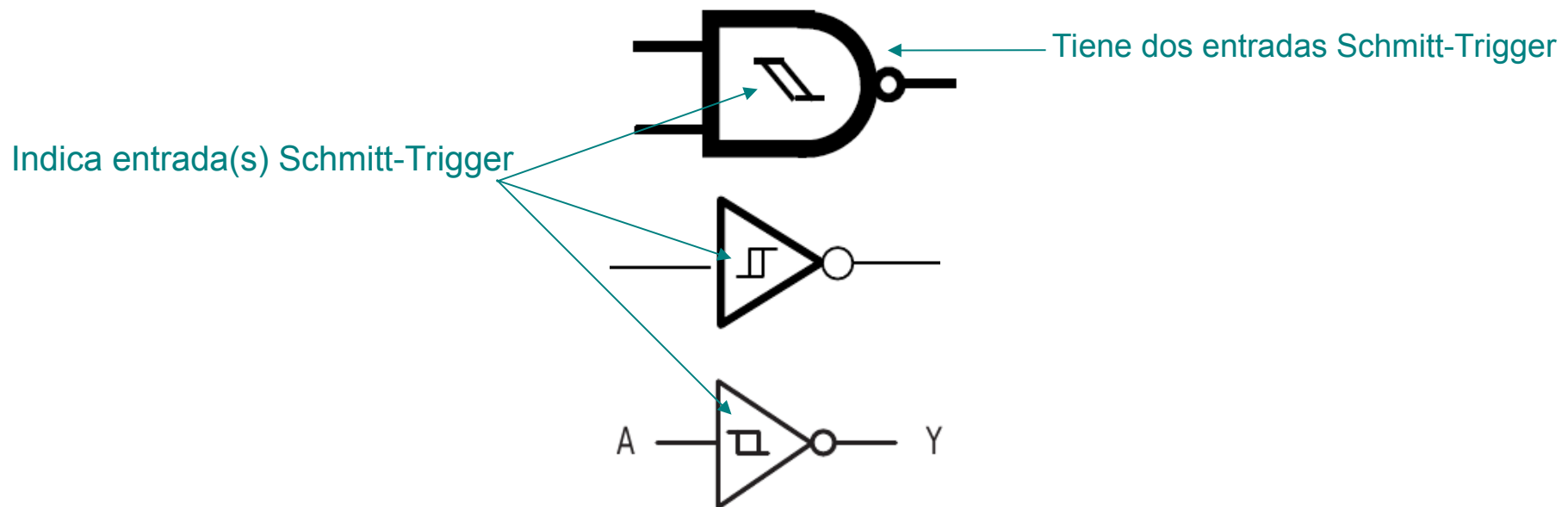
- La entrada reconoce un “1” si la señal está subiendo y supera V_{T+}
- La entrada reconoce un “0” si la señal está bajando y cae debajo de V_{T-}



Transferencia de tensión de un inversor con entrada standard (izq.) y uno con entrada schmitt-trigger (der.)

Familias lógicas – Entradas Schmitt-Trigger

- Los valores V_{T+} y V_{T-} son fijos y dependen de la familia. El usuario no puede modificarlos.
- Si se necesita otros valores de V_{T+} o V_{T-} hay que armarlo con operacionales o transistores...



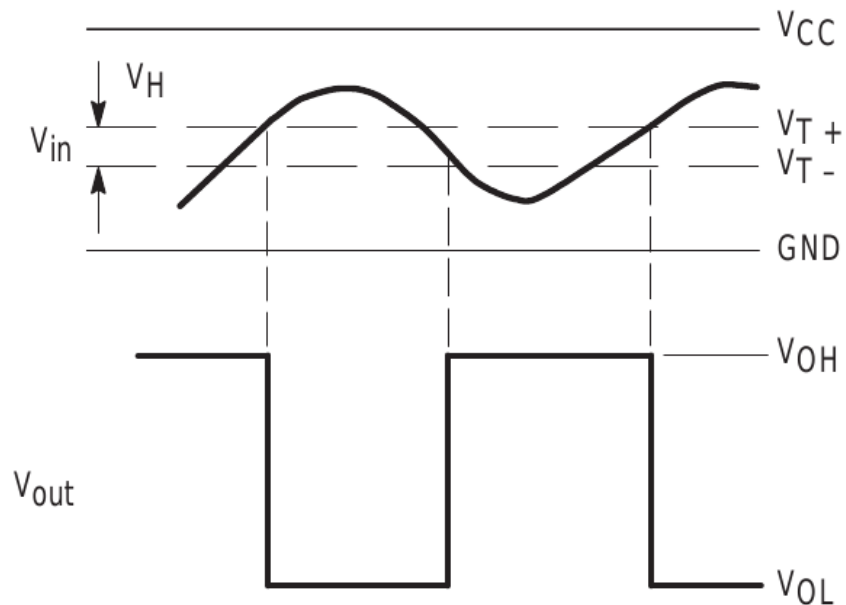
¿Por qué no son Schmitt-Trigger todas las entradas?

- Necesitan más componentes. Comparando hojas de datos encontramos, por ejemplo, que las schmitt-trigger **consumen más**, y hacen que el **tiempo de propagación sea mayor**: circuitos más lentos
(puede haber excepciones puntuales, ej. 4011 y 4093)

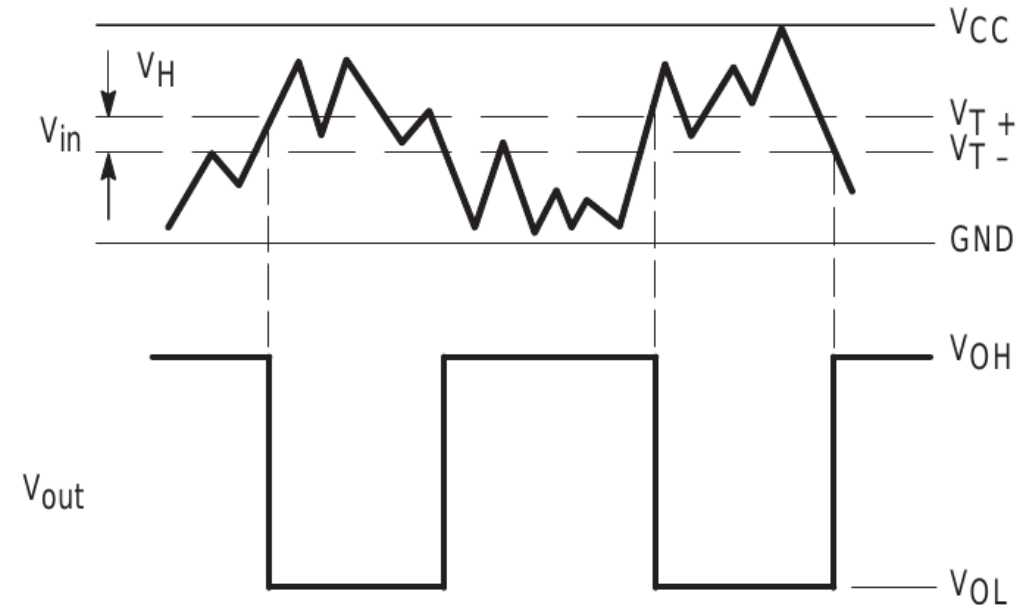
Familias lógicas – Entradas Schmitt-Trigger

Ejemplo de aplicaciones de un inversor con entrada Schmitt-Trigger

(a) A SCHMITT TRIGGER SQUARES UP INPUTS WITH SLOW RISE AND FALL TIMES

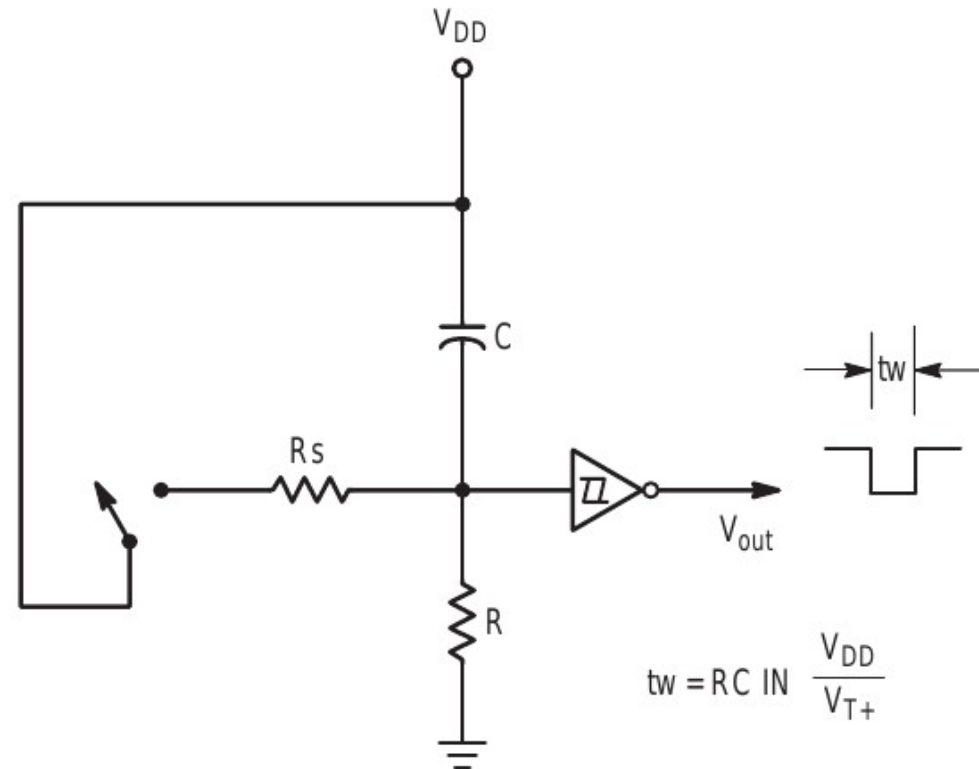
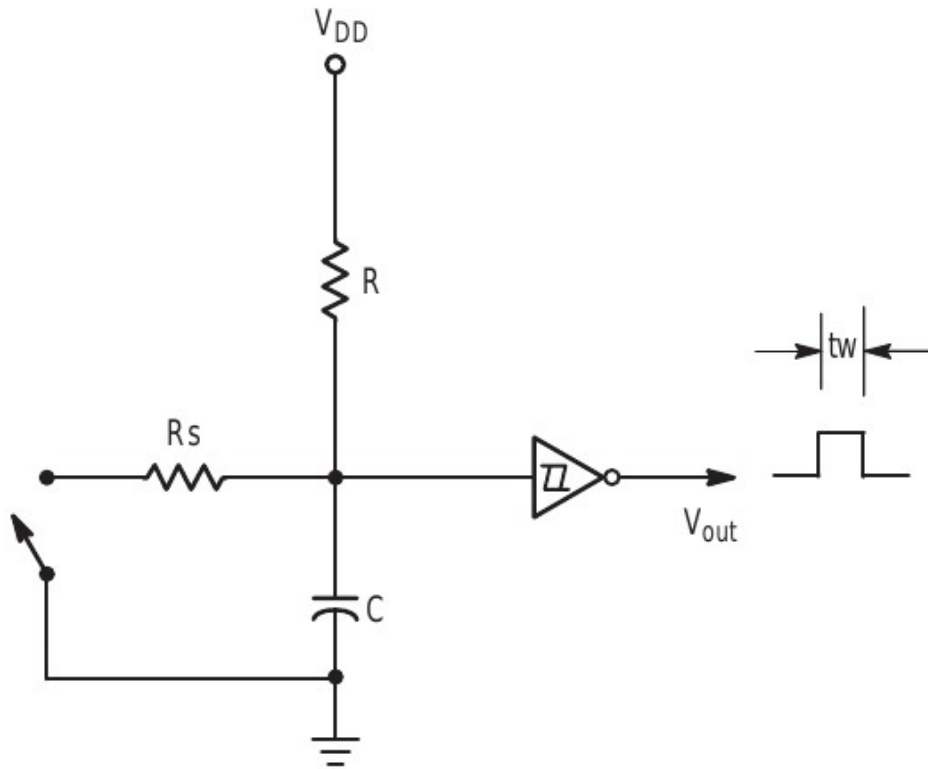


(b) A SCHMITT TRIGGER OFFERS MAXIMUM NOISE IMMUNITY



Familias lógicas – Entradas Schmitt-Trigger

Monoestables

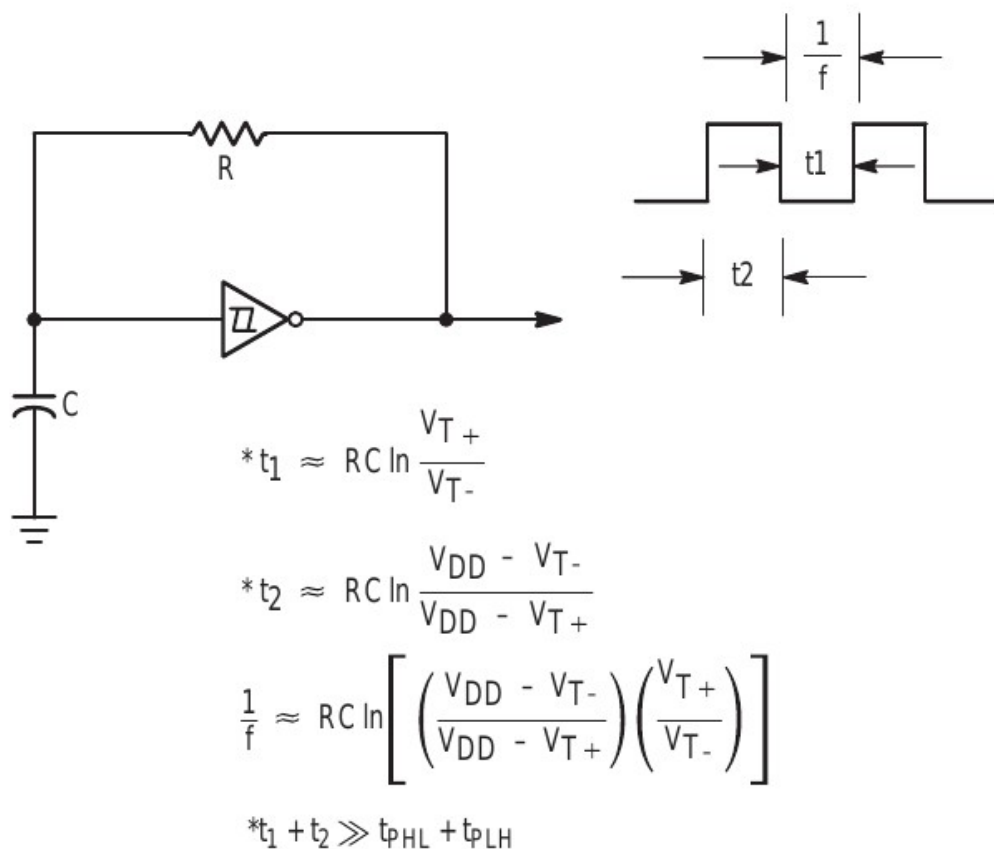


$$t_w = RC \ln \frac{V_{DD}}{V_{T+}}$$

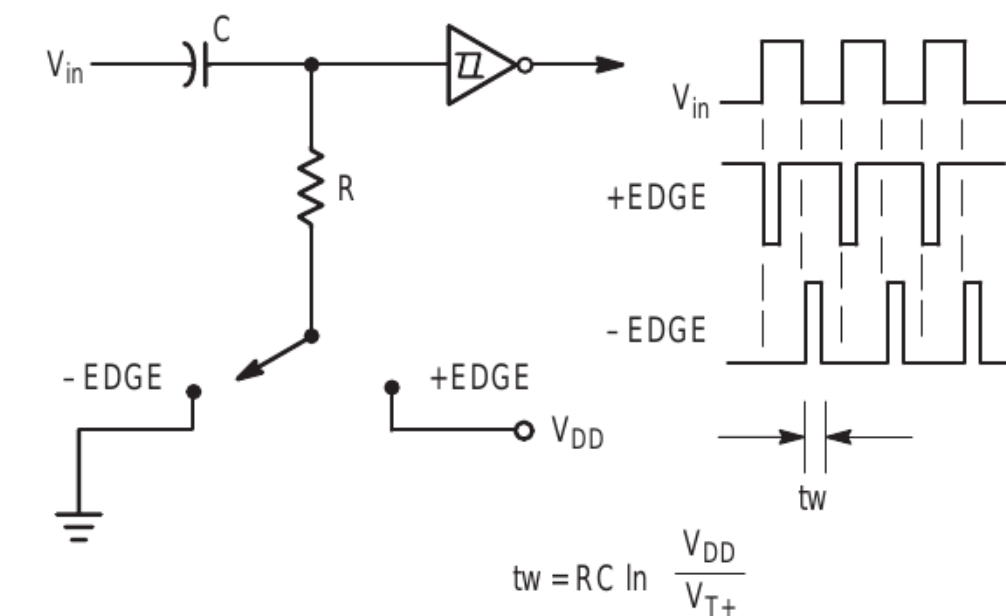
Useful as Pushbutton/Keyboard Debounce Circuit.

Familias lógicas – Entradas Schmitt-Trigger

Astable



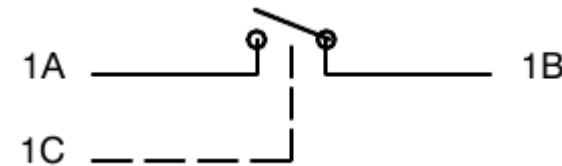
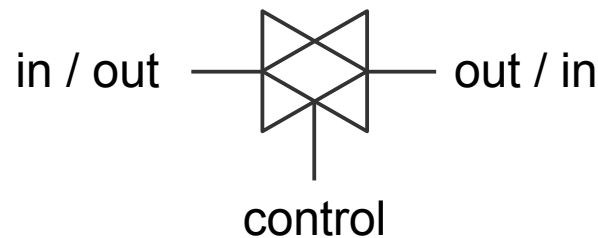
Detector de flanco



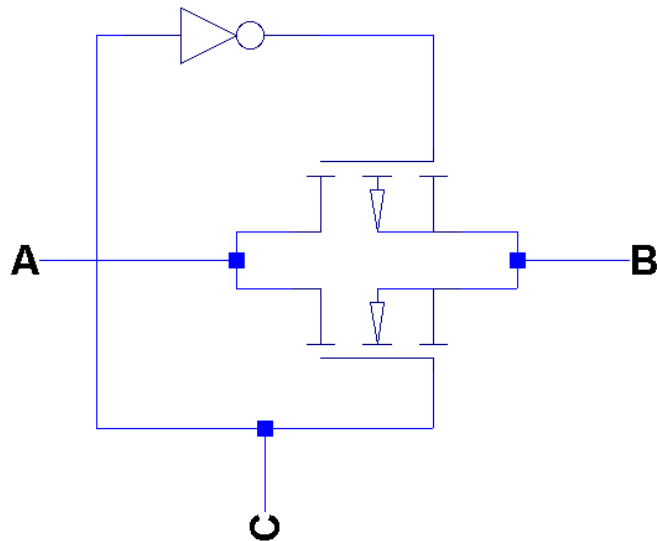
Useful as an edge detector circuit.

Familias lógicas – Compuertas de transmisión

- Es una llave bidireccional controlada con una señal digital
- Permiten conducción de señales analógicas y digitales, en ambos sentidos.
- Disponibles solo en familias CMOS
- Algunos modelos pueden trabajar con señales positivas y negativas (Ej. 4051)



Símbolo (izq.) y esquema equivalente analógico (der.)

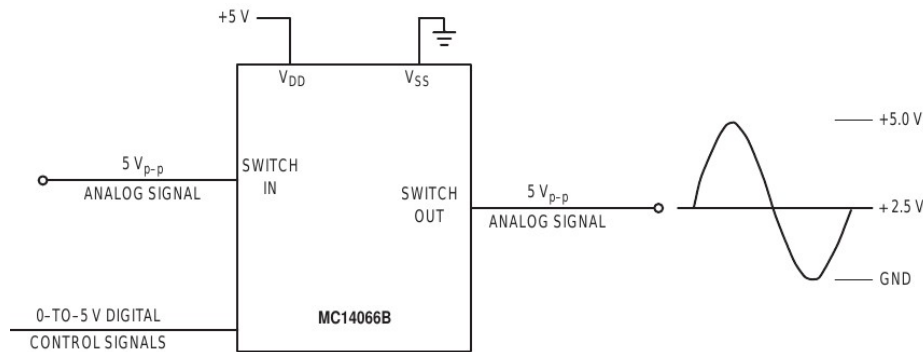


Circuito interno simplificado

- Depende el modelo, R_{on} puede ser considerable (Ej. 250Ω en 4051 a 5V, 30Ω en NLX2G66)
 - La $I_{off} \neq 0$ (Ej. $0,1 \mu A$ a $25^\circ C$)
- La I_{on} es limitada (Ej. 25 mA en 4016)
 - Tiene limitación de frecuencia

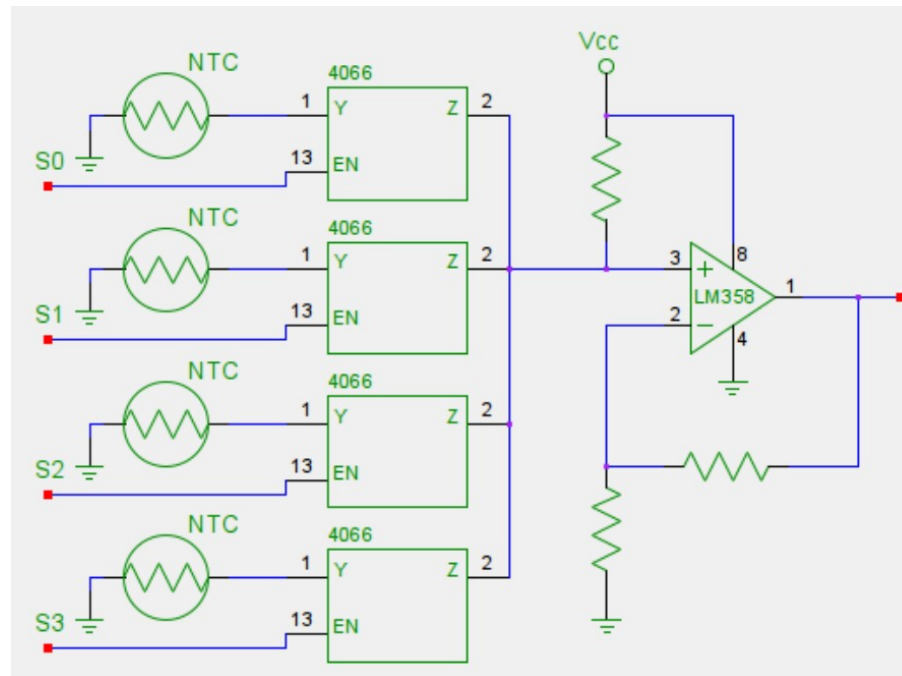
Familias lógicas – Puertas de transmisión

Ejemplos de aplicación de puertas de transmisión



Pueden conmutar señales analógicas:
sonido, mediciones, etc.

S3..S0 seleccionan el sensor que
será acondicionado por el
amplificador (Ej. para medir con un
ADC varias señales, una por vez)

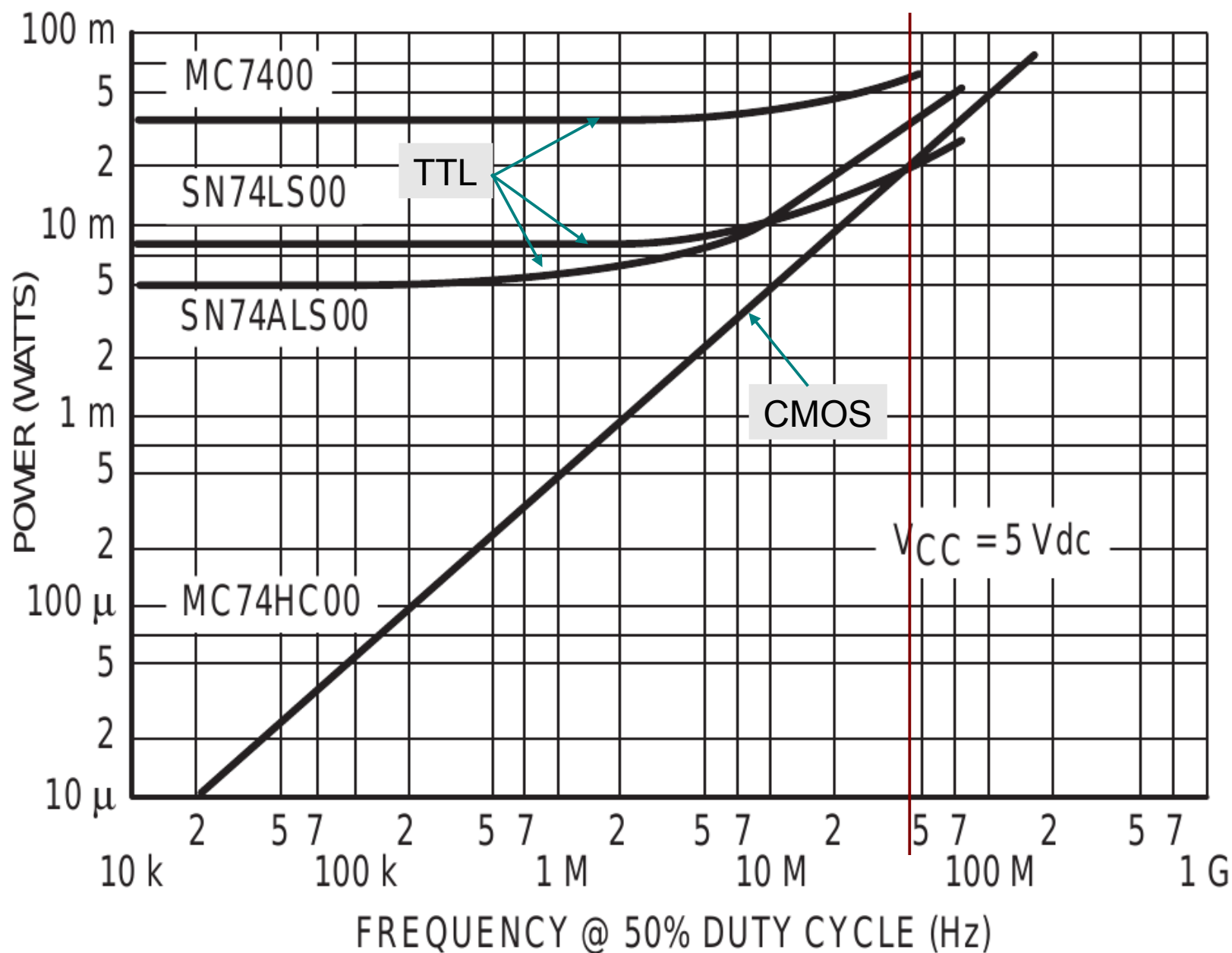


(Existen circuitos integrados con posibilidad de manejar señales positivas y negativas: poseen un terminal Vee; ej. 4051 / 4052 / 4053)

Consumo

Consumo de circuitos integrados digitales

- Comparación del consumo de algunas familias en función de frecuencia de operación



(Fuente: On Semiconductor)

Consumo de circuitos integrados digitales

El consumo de energía en los circuitos integrados digitales se debe principalmente a:

1. **Consumo estático:** cuando las salidas no cambian de estado (Muy pequeño en CMOS)
 - Expresado como consumo estático (Static consumption, static power dissipation, Quiescent power dissipation...) $PE = I_{dd} \cdot V_{dd}$ (I_{dd} 40 μA (máx) en 74HC00 y 4,4 mA (máx, $V_o = Lo$) en 74LS00)
2. **Consumo dinámico** por:
 - a. El “camino” de **baja resistencia** que se crea entre V_{dd} / V_{cc} y V_{ss} / GND durante los **cambios de estado en la salida** a causa de que de ambos transistores se encuentran conduciendo parcialmente (*Ej. del orden de 500Ω o menos en un CMOS*)

Este consumo se puede calcular con: $PT = CPD \cdot V_{cc}^2 \cdot f$

Donde:

 - CPD es la capacidad de disipación de potencia; no representa la capacidad de salida, solo tiene unidad de capacidad (generalmente en pF). Representa la dinámica de la I_o en un par de transiciones de salida Hi-Lo, Lo-Hi. (*Ej. CPD para 74HC00 a 25°C es 22 pF -La capacidad de salida es mucho menor-*)
 - f es la frecuencia de la señal de salida

Consumo de circuitos integrados digitales

b. La carga y descarga de la carga capacitiva en la salida (CL), expresado por:

$$PL = CL \cdot V_{cc}^2 / 2 \cdot 2 f = CL \cdot V_{cc}^2 \cdot f$$

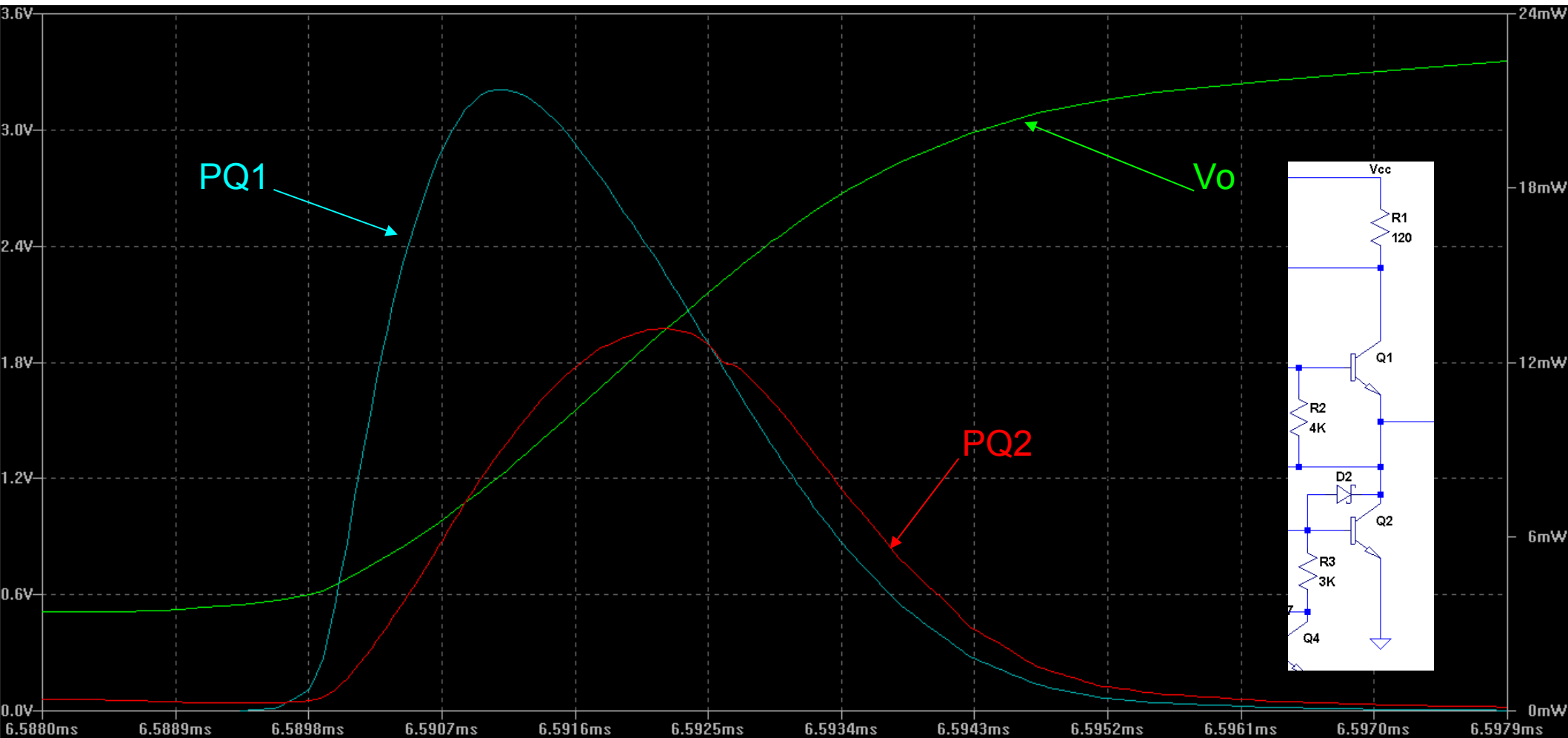
Expresamos el **consumo dinámico** PD como $PT + PL$

$$PD = (CPD + CL) \cdot V_{cc}^2 \cdot F \quad (\text{se lo llama también potencia } CV^2f)$$

- En el gráfico comparativo entre familias de potencia en función de frecuencia visto anteriormente vemos que en los **CMOS el consumo estático es muy bajo**, mientras que, por el contrario, en los TTL el consumo dinámico a baja frecuencia es pequeño comparado con el consumo estático, que es bastante elevado.
- Si aumentamos la capacidad de salida (Ej. muchas entradas conectadas a una salida) aumenta el consumo.
- Si las **transiciones son lentas** (por ejemplo, por dejar entradas al aire en una CMOS) el consumo aumenta por estar ambos transistores conduciendo por más tiempo (**y no se aplica la fórmula anterior**)

Consumo de circuitos integrados digitales

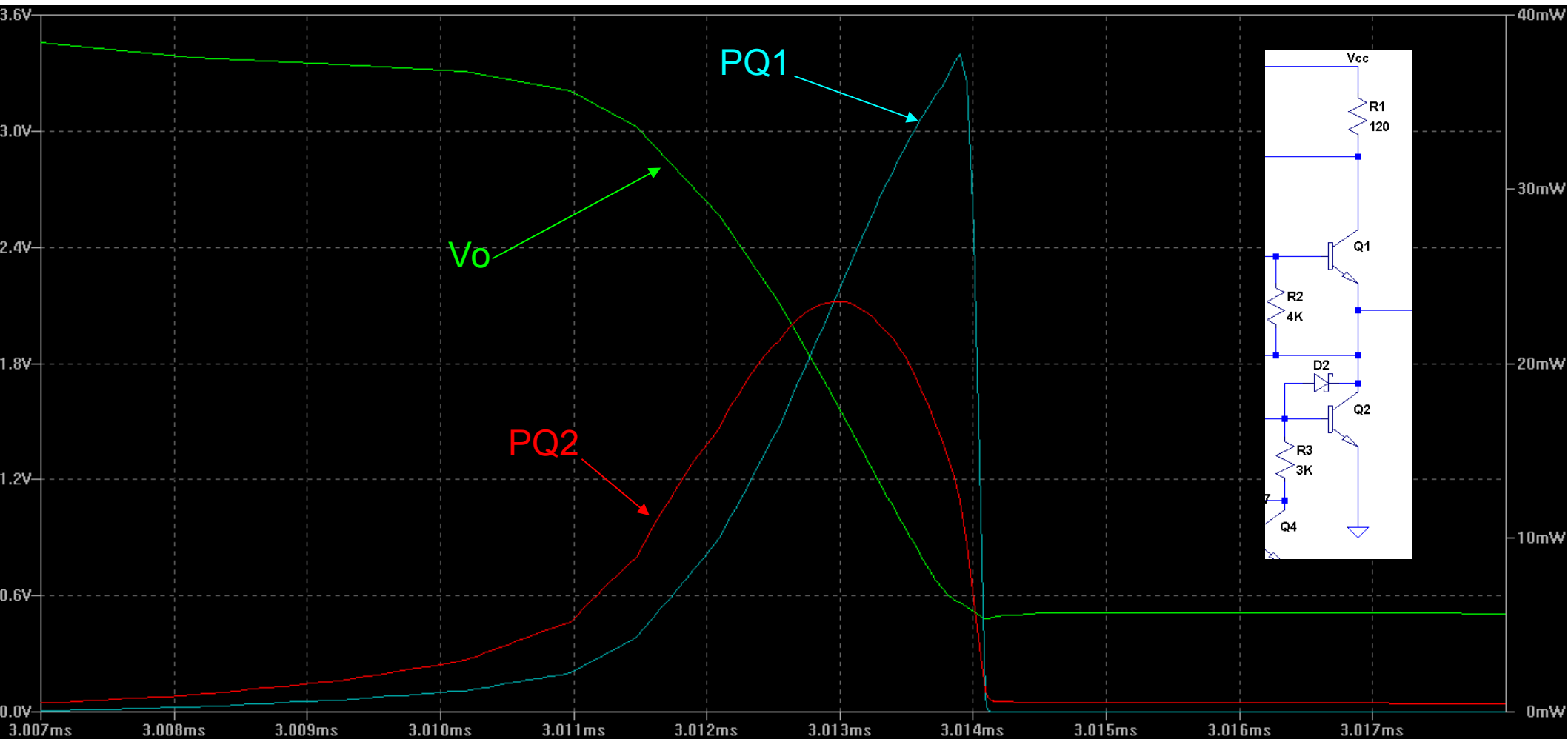
Disipación de potencia en salida totem-pole 74LS – transición Lo-Hi



- Simulada con una entrada 74LS conectada a Vo.

Consumo de circuitos integrados digitales

Disipación de potencia en salida totem-pole 74LS – transición Hi-Lo



- Simulada con una entrada 74LS conectada a Vo.